

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2003 年 9 月 12 日 (12.09.2003)

PCT

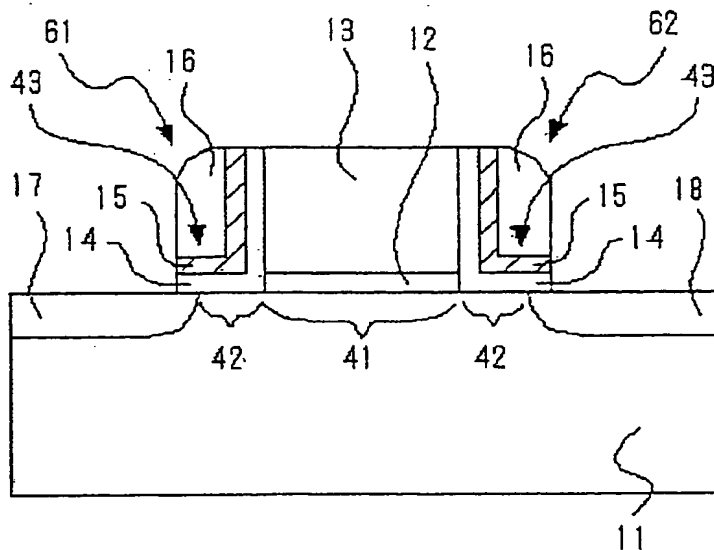
(10) 国際公開番号  
WO 03/075359 A1

- (51) 国際特許分類: H01L 29/792 (72) 発明者; および  
(21) 国際出願番号: PCT/JP03/02421 (75) 発明者/出願人 (米国についてのみ): 岩田 浩  
(22) 国際出願日: 2003 年 3 月 3 日 (03.03.2003) (IWATA, Hiroshi) [JP/JP]; 〒636-0813 奈良県 生駒  
(25) 国際出願の言語: 日本語 郡 三郷町 信貴ヶ丘 2-4-13 Nara (JP). 柴田 晃秀  
(26) 国際公開の言語: 日本語 (SHIBATA, Akihide) [JP/JP]; 〒631-0803 奈良県 奈良  
(30) 優先権データ: (74) 代理人: 青山 葆, 外 (AOYAMA, Tamotsu et al.); 〒  
特願2002-56694 2002 年 3 月 4 日 (04.03.2002) JP 540-0001 大阪府 大阪市 中央区 城見 1 丁目 3 番 7 号  
特願2003-33678 2003 年 2 月 12 日 (12.02.2003) JP IMPビル 青山特許事務所 Osaka (JP).  
(71) 出願人 (米国を除く全ての指定国について): シャープ  
株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒  
545-8522 大阪府 大阪市 阿倍野区 長池町 2 番 2 号  
Osaka (JP).  
(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB,  
BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,  
DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU,  
ID, IL, IN, IS, KE, KG, KR, KZ, LC, LK, LR, LS, LT, LU,  
LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM,  
PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN,  
TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[続き有]

(54) Title: SEMICONDUCTOR STORAGE DEVICE

(54) 発明の名称: 半導体記憶装置



(57) Abstract: A microminaturized semiconductor while realizing holding of a 2-bit memory in one transistor. Two charge holding sections (61, 62) independent of a gate insulating film (12) are formed on both sides of the side wall of a gate electrode (13). Thus, a memory function carried by the charge keeping sections (61, 62) is separated from a transistor operation function carried by the gate insulating film (12). Since the two charge holding sections (61, 62) formed on both sides of the gate electrode (13) are isolated by the gate electrode (13), the interference during rewrite is effectively suppressed. Therefore, a microminaturized semiconductor storage device while realizing holding of a two-bit memory in one transistor.

[続き有]

BEST AVAILABLE COPY

WO 03/075359 A1



(84) 指定国(広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 1つのトランジスタで2ビットの記憶保持を実現しながら、微細化することができる半導体記憶装置を提供する。ゲート電極13の側壁の両側にゲート絶縁膜12と独立した2つの電荷保持部61、62を形成する。これにより、電荷保持部61、62が担うメモリ機能と、ゲート絶縁膜12が担うトランジスタ動作機能とを分離する。ゲート電極13の両側に形成された2つの電荷保持部61、62はゲート電極13により分離されているので書換え時の干渉が効果的に抑制される。したがって、1つのトランジスタで2ビットの記憶保持を実現しながら、微細化された半導体記憶装置が提供される。

## 明 細 書

## 半導体記憶装置

## 5 技術分野

本発明は、半導体記憶装置に関する。より詳細には、電荷量の変化を電流量に変換する機能を有する電界効果トランジスタからなる半導体記憶装置に関する。

## 背景技術

10 従来から、1つの電界効果トランジスタで2ビットの記憶が可能な不揮発性メモリとして、サイファン・セミコンダクターズ・リミテッド社が開発したメモリがある（特表2001-512290号公報）。

このメモリは、図21に示したように、P型ウェル領域901上にゲート絶縁膜を介して形成されたゲート電極909、P型ウェル領域901表面に形成され  
15 た第1のN型拡散層領域902及び第2のN型拡散層領域903から構成される。ゲート絶縁膜は、シリコン酸化膜904、905の間にシリコン窒化膜906が挟まれた、いわゆるONO(Oxide Nitride Oxide)膜からなる。シリコン窒化膜906中には、第1及び第2のN型拡散層領域902、903の端部付近に、それぞれ記憶保持部907、908が形成されている。

20 これらの記憶保持部907、908のそれぞれの個所での電荷の多寡をトランジスタのドレイン電流として読み出すことにより、1トランジスタで2ビットの情報を記憶させることができる。

しかし、前記のメモリでは、ゲート絶縁膜はONO膜の3層構造であり、薄膜化が困難であるため、素子の微細化が困難であるという問題があった。すなわち、  
25 ゲート絶縁膜の膜厚に関するスケーリングが困難であり、短チャネル効果の増大を招くことにより、素子の微細化が果たせなかった。また、チャネル長が短くなるにつれ、1つのトランジスタの記憶保持部907、908の2箇所を分離することが困難となるため、さらなる素子の微細化が果たせなかった。

## 発明の開示

本発明は前記課題に鑑みなされたものであり、1つのトランジスタで2ビットの記憶保持を実現しながら、更に微細化することができる半導体記憶装置を提供することを目的とする。

5       上記課題を解決するため、本発明の半導体記憶装置は、半導体基板と、上記半導体基板上に形成されたゲート絶縁膜と、上記ゲート絶縁膜上に形成された単一のゲート電極と、上記単一のゲート電極側壁の両側に形成された2つの電荷保持部と、上記2つの電荷保持部のそれぞれに対応する2つの拡散層領域と、上記単一のゲート電極下に配置されたチャネル領域とを備え、上記電荷保持部は、電荷を蓄積する機能を有する第1の絶縁体からなる膜が、第2の絶縁体と第3の絶縁体とに挟まれた構造を有し、上記電荷保持部は、上記第1の絶縁体に保持された電荷の多寡により、上記ゲート電極に電圧を印加した際の上記一方の拡散層領域から他方の拡散層領域に流れる電流量を変化させるように構成されてなることを特徴としている。

15       上記構成の半導体記憶装置によれば、上記ゲート電極側壁の両側に形成された2つの電荷保持部は、上記ゲート絶縁膜とは独立しているため、電荷保持部が担うメモリ機能と、ゲート絶縁膜が担うトランジスタ動作機能とは分離されている。そのため、十分なメモリ機能を有したままゲート絶縁膜を薄膜化して短チャネル効果を抑制するのが容易である。また、ゲート電極の両側に形成された2つの電荷保持部はゲート電極により分離されているので書換え時の干渉が効果的に抑制される。言い換えれば、2つの電荷保持部間の距離を小さくすることができる。したがって、2ビット動作が可能で、かつ微細化が容易な半導体記憶装置が提供される。

25       更には、電荷を蓄積する機能を有する第1の絶縁体からなる膜が、第2の絶縁体と第3の絶縁体とに挟まれた構造を有している。そのため、電荷の注入に際して、短い時間で第1の絶縁体内の電荷密度を上げ、また、電荷密度を均一にすることができる。また、電荷を蓄積する第1の絶縁体は、導電体部（ゲート電極、拡散層領域、半導体基板）とは他の絶縁膜で隔てられているため、電荷の漏れが抑制されて十分な保持時間を得ることができる。したがって、半導体記憶装置の

高速書換え、信頼性の向上、十分な保持時間の確保が可能となる。

一実施形態の半導体記憶装置は、上記第1の絶縁体における真空準位と伝導電子帯の最低準位とのエネルギー差を $\chi_1$ とし、上記第2の絶縁体における真空準位と伝導電子帯の最低準位とのエネルギー差を $\chi_2$ とし、上記第3の絶縁体における真空準位と伝導電子帯の最低準位とのエネルギー差を $\chi_3$ とすると、 $\chi_1 > \chi_2$ かつ $\chi_1 > \chi_3$ である。

上記実施形態の半導体記憶装置によってもまた、上記本発明の半導体記憶装置と同様な作用効果を奏する。

更には、上記第1の絶縁体の電子親和力が、上記第2及び第3の絶縁体の電子親和力よりも大きい。そのため、蓄積する電荷が電子の場合、電荷を蓄積する第1の絶縁体からなる膜からの電荷の散逸が効果的に抑制され、記憶保持時間が長くなる。更には、電荷を蓄積する第1の絶縁体への電荷注入効率が高くなって書換え時間が短縮する。したがって、半導体記憶装置の書換え時間を短縮して、高速動作を実現することができる。

一実施形態の半導体記憶装置は、上記第1の絶縁体における真空準位と価電子帯の最高準位とのエネルギー差を $\phi_1$ とし、上記第2の絶縁体における真空準位と価電子帯の最高準位とのエネルギー差を $\phi_2$ とし、上記第3の絶縁体における真空準位と価電子帯の最高準位とのエネルギー差を $\phi_3$ とすると、 $\phi_1 < \phi_2$ かつ $\phi_1 < \phi_3$ である。

上記実施形態の半導体記憶装置によってもまた、上記本発明の半導体記憶装置と同様な作用効果を奏する。

更には、上記第1の絶縁体における真空準位と価電子帯の最高準位とのエネルギー差が、上記第2及び第3の絶縁体における真空準位と価電子帯の最高準位とのエネルギー差よりも小さい。そのため、蓄積する電荷が正孔の場合、電荷を蓄積する第1の絶縁体からなる膜からの電荷の散逸が効果的に抑制され、記憶保持時間が長くなる。更には、電荷を蓄積する第1の絶縁体への電荷注入効率が高くなって書換え時間が短縮する。したがって、半導体記憶装置の書換え時間を短縮して、高速動作を実現することができる。

一実施形態の半導体記憶装置は、上記第1の絶縁体における真空準位と伝導電

子帯の最低準位とのエネルギー差を  $x_1$  とし、上記第 2 の絶縁体における真空準位と伝導電子帯の最低準位とのエネルギー差を  $x_2$  とし、上記第 3 の絶縁体における真空準位と伝導電子帯の最低準位とのエネルギー差を  $x_3$  とし、上記第 1 の絶縁体における真空準位と価電子帯の最高準位とのエネルギー差を  $\phi_1$  とし、上記第 2 の絶縁体における真空準位と価電子帯の最高準位とのエネルギー差を  $\phi_2$  とし、上記第 3 の絶縁体における真空準位と価電子帯の最高準位とのエネルギー差を  $\phi_3$  とするとき、 $x_1 > x_2$ 、 $x_1 > x_3$ 、 $\phi_1 < \phi_2$ 、 $\phi_1 < \phi_3$  のいずれをも満たす。

上記実施形態の半導体記憶装置によってもまた、上記本発明の半導体記憶装置と同様な作用効果を奏する。

更には、上記第 1 の絶縁体の電子親和力が、上記第 2 及び第 3 の絶縁体の電子親和力よりも大きく、かつ、上記第 1 の絶縁体における真空準位と価電子帯の最高準位とのエネルギー差が、上記第 2 及び第 3 の絶縁体における真空準位と価電子帯の最高準位とのエネルギー差よりも小さい。そのため、電子の注入効率と正孔の注入効率の両方が高くなり、例えば書込み時には第 1 の絶縁体に電子を注入し、消去時には正孔を注入して蓄積された電子と再結合させる場合（電子と正孔を入れ替えても同様）、書込み動作と消去動作を共に高速化することができる。

一実施形態の半導体記憶装置は、上記第 1 の絶縁体とはシリコン窒化物であり、上記第 2 及び第 3 の絶縁膜とはシリコン酸化物である。

上記実施形態の半導体記憶装置は、上記本発明の半導体記憶装置において、第 1 ～第 3 の絶縁体を具体的に特定している。電荷を蓄積する機能を有する第 1 の絶縁体はシリコン窒化膜であり、電荷（電子及び正孔）をトラップする準位が多数存在するため大きなヒステリシス特性を得ることができる。また、第 2 及び第 3 の絶縁体はシリコン酸化物であるから、上記第 1 の絶縁体の電子親和力が、上記第 2 及び第 3 の絶縁体の電子親和力よりも大きく、かつ、上記第 1 の絶縁体における真空準位と価電子帯の最高準位とのエネルギー差が、上記第 2 及び第 3 の絶縁体における真空準位と価電子帯の最高準位とのエネルギー差よりも小さい。したがって、書込み動作と消去動作を共に高速化することができる。更には、シリコン酸化物膜およびシリコン窒化膜は共に L S I プロセスでごく標準的に用いら

れる材料であるから、製造プロセスが簡単になる。

一実施形態の半導体記憶装置では、シリコン酸化物である上記第2の絶縁体は膜状であって、上記半導体基板と上記第1の絶縁体とを隔てており、上記半導体基板上における上記第2の絶縁体からなる膜の厚さは、1.5 nm以上であって  
5 1.5 nm以下である。

上記実施の形態の半導体記憶装置によれば、上記第1の絶縁体に蓄積された電荷の漏れを抑制しつつ、上記第1の絶縁体への電荷の注入を十分に高速に行なうことができる。したがって、高速の書換え動作と十分な保持時間とを両立した半導体記憶装置が提供される。

10 一実施形態の半導体記憶装置では、シリコン窒化物である上記第1の絶縁体からなる膜の厚さは、上記半導体基板上において、2 nm以上であって1.5 nm以下である。

上記実施の形態の半導体記憶装置における閾値変化（あるいは読出し電流変化）を十分として素子間ばらつきを抑え、かつ、記憶保持中のシリコン窒化膜中  
15 での電荷移動による閾値（あるいは読出し電流）の変化を抑制することができる。

一実施形態の半導体記憶装置は、上記第2の絶縁体は膜状であって、上記半導体基板及び上記ゲート電極の側壁と、上記第1の絶縁体とを隔てており、上記ゲート電極の側壁近傍における上記第2の絶縁体からなる膜の厚さは、上記半導体基板上における上記第2の絶縁体からなる膜の厚さよりも厚い。

20 上記実施形態の半導体記憶装置によってもまた、上記本発明の半導体記憶装置と同様な作用効果を奏する。

更には、上記ゲート電極の側壁近傍における上記第2の絶縁体からなる膜の厚さは、上記半導体基板上における上記第2の絶縁体からなる膜の厚さよりも厚いから、ゲート電極から電荷を蓄積する第1の絶縁体への電荷の注入（あるいは第  
25 1の絶縁体からゲート電極への電荷の放出）を効果的に抑制することができる。したがって、半導体記憶装置の書換え特性が安定し、信頼性が向上する。

一実施形態の半導体記憶装置は、上記半導体基板上における上記第2の絶縁体からなる膜の厚さが、上記ゲート絶縁膜の厚さよりも薄く、かつ0.8 nm以上である。

上記実施形態の半導体記憶装置によれば、上記半導体基板上における上記第2の絶縁体からなる膜の厚さを、上記ゲート絶縁膜の厚さよりも薄く、かつ0.8 nm以上にすることにより、製造プロセスによる均一性や膜質を一定の水準を維持することが可能であり、かつ保持特性が極端に劣化せず、メモリの耐圧性能を低下させることなく、書込み動作及び消去動作の電圧を低下させ、又は書込み動作及び消去動作を高速にし、さらにメモリ効果を増大することが可能となる。

一実施形態の半導体記憶装置は、上記半導体基板上における上記第2の絶縁体からなる膜の厚さが、上記ゲート絶縁膜の厚さよりも厚く、かつ20 nm以下である。

上記実施形態の半導体装置によれば、上記半導体基板上における上記第2の絶縁体からなる膜の厚さを、上記ゲート絶縁膜の厚さよりも厚く、かつ20 nm以下にすることにより、書換え速度を大幅に遅くすることなく、かつ、メモリの短チャネル効果を悪化させることなく保持特性を改善することが可能となる。

一実施形態の半導体記憶装置は、上記電荷を蓄積する機能を有する第1の絶縁体からなる膜の少なくとも一部が上記拡散層領域の一部にオーバーラップするように形成されてなる。

上記実施形態の半導体装置によれば、上記電荷を蓄積する機能を有する第1の絶縁体からなる膜の少なくとも一部を上記拡散層領域の一部にオーバーラップするように形成することにより、読出し動作速度を高速にすることができる。

一実施形態の半導体記憶装置は、上記電荷を蓄積する機能を有する第1の絶縁体からなる膜が、ゲート絶縁膜の表面と略平行な表面を有する部分を含む。

上記実施形態の半導体装置によれば、上記電荷を蓄積する機能を有する第1の絶縁体からなる膜が、ゲート絶縁膜の表面と略平行な表面を有する部分を含むので、上記電荷を蓄積する機能を有する第1の絶縁体からなる膜に蓄積された電荷の多寡によるメモリ効果を効果的に制御することができ、ひいてはメモリ効果を大きくすることができる。更に、上記電荷を蓄積する機能を有する第1の絶縁体からなる膜の上部方向への電荷の移動が抑制され、記憶保持中に電荷移動による特性変化が起こるのを抑制することができる。

一実施形態の半導体記憶装置は、上記電荷を蓄積する機能を有する第1の絶縁



体からなる膜が、ゲート電極側面と略並行に延びた部分を含む。

上記実施の形態の半導体装置によれば、上記電荷を蓄積する機能を有する第1の絶縁体からなる膜が、ゲート電極側面と略並行に延びた部分を含むので、書換え動作時に上記電荷を蓄積する機能を有する第1の絶縁体からなる膜に注入される電荷が増加し、書換え速度が増大する。

#### 図面の簡単な説明

図1は本発明の半導体記憶装置の実施の形態を示す要部の概略断面図である。

図2は本発明の半導体記憶装置の実施の形態を一部拡大した概略断面図である。

図3は図2の切断面線A-A'に沿って、エネルギーバンドを示した図である。

図4A、図4Bは本発明の半導体記憶装置の実施の形態の書込み動作を説明するための要部の概略断面図である。

図5は本発明の半導体記憶装置の実施の形態の第1の消去動作を説明するための要部の概略断面図である。

図6は本発明の半導体記憶装置の実施の形態の第2の消去動作を説明するための要部の概略断面図である。

図7A、図7B、図7Cは本発明の半導体記憶装置の実施の形態の製造方法を説明するための要部の概略断面工程図である。

図8は本発明の半導体記憶装置の実施の形態を示す要部の概略断面図である。

図9A、図9B、図9Cは本発明の半導体記憶装置の実施の形態の製造方法を説明するための要部の概略断面工程図である。

図10は本発明の半導体記憶装置の実施の形態を示す要部の概略断面図である。

図11は本発明の半導体記憶装置の実施の形態を一部拡大した概略断面図である。

図12は本発明の半導体記憶装置の実施の形態の一変形例を一部拡大した概略断面図である。

図13は本発明の半導体記憶装置におけるゲート電極と拡散層領域のオフセット量 $W1$ とドレイン電流 $I_d$ との関係を示すグラフである。

図14は本発明の半導体記憶装置の実施の形態の他の変形例を一部拡大した概

略断面図である。

図 1 5 は本発明の半導体記憶装置の実施の形態の効果を説明する概略断面図である。

図 1 6 は本発明の半導体記憶装置の実施の形態を示す要部の概略断面図である。

5 図 1 7 は本発明の半導体記憶装置の実施の形態を示す要部の概略断面図である。

図 1 8 は本発明の半導体記憶装置の実施の形態を示す要部の概略断面図である。

図 1 9 は本発明の半導体記憶装置の実施の形態を示す要部の概略断面図である。

図 2 0 は本発明の半導体記憶装置の実施の形態を示す要部の概略断面図である。

図 2 1 は従来の半導体記憶装置を示す要部の概略断面図である。

10

発明を実施するための最良の形態

本発明の半導体記憶装置は、主として、ゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極と、ゲート電極の両側に形成された電荷保持部と、電荷保持部のゲート電極と反対側のそれぞれに配置されたソース／ドレイン領域（拡散層領域）と、ゲート電極下に配置されたチャンネル領域とから構成される。

15

この半導体記憶装置は、1つの電荷保持部に2値又はそれ以上の情報を記憶することにより、4値又はそれ以上の情報を記憶するメモリ素子として機能する。

本発明の半導体記憶装置は、半導体基板上、好ましくは半導体基板内に形成された第1導電型のウェル領域上に形成されることが好ましい。

20

半導体基板としては、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン、ゲルマニウム等の元素半導体、GaAs、InGaAs、ZnSe等の化合物半導体による基板、SOI基板又は多層SOI基板等の種々の基板を用いることができる。なかでもシリコン基板又は表面半導体層としてシリコン層が形成されたSOI基板が好ましい。この半導体基板上には、素子分離領域が形成されていることが好ましく、更にトランジスタ、キャパシタ、抵抗等の素子、これらによる回路、半導体装置や層間絶縁膜が組み合わされて、シングル又はマルチレイヤー構造で形成されていてもよい。なお、素子分離領域は、LOCOS膜、トレンチ酸化膜、STI膜等種々の素子分離膜により形成することができる。半導体基板は、P型又はN型の導電型を有していてもよく、半

25

導体基板には、少なくとも1つの第1導電型（P型又はN型）のウェル領域が形成されていることが好ましい。半導体基板及びウェル領域の不純物濃度は、当該分野で公知の範囲のものが使用できる。なお、半導体基板としてSOI基板を用いる場合には、表面半導体層には、ウェル領域が形成されていてもよいが、チャネル領域下にボディ領域を有していてもよい。

ゲート絶縁膜は、通常、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン酸化膜、シリコン窒化膜等の絶縁膜；酸化アルミニウム膜、酸化チタニウム膜、酸化タンタル膜、酸化ハフニウム膜などの高誘電体膜の単層膜又は積層膜を使用することができる。なかでも、シリコン酸化膜が好ましい。

ゲート電極は、ゲート絶縁膜上に、通常半導体装置に使用されるような形状で形成されている。ゲート電極は、実施の形態のなかで特に指定がない限り、特に限定されるものではなく、導電膜、例えば、ポリシリコン：銅、アルミニウム等の金属：タングステン、チタン、タンタル等の高融点金属：高融点金属とのシリサイド等の単層膜又は積層膜等が挙げられる。ゲート電極の膜厚は、例えば50～400nm程度の膜厚で形成することが適当である。なお、ゲート電極の下には、チャネル領域が形成されるが、チャネル領域は、ゲート電極下のみならず、ゲート電極とゲート長方向におけるゲート端の外側を含む領域下に形成されていることが好ましい。このように、ゲート電極で覆われていないチャネル領域が存在する場合には、そのチャネル領域は、ゲート絶縁膜又は後述する電荷保持部で覆われていることが好ましい。

電荷保持部は、電荷を蓄積する第1の絶縁体からなる膜が、第2の絶縁体からなる膜と第3の絶縁体からなる膜とで挟まれたサンドウィッチ構造を有するのが好ましい。電荷を蓄積する第1の絶縁体が膜状であるから、電荷の注入により短い時間で第1の絶縁体内の電荷密度を上げ、また、電荷密度を均一にすることができる。電荷を蓄積する第1の絶縁体内の電荷分布が不均一であった場合、保持中に第1の絶縁体内を電荷が移動してメモリ素子の信頼性が低下する恐れがある。また、電荷を蓄積する第1の絶縁体は、導電体部（ゲート電極、拡散層領域、半導体基板）とは他の絶縁膜で隔てられているので、電荷の漏れが抑制されて十分

な保持時間を得ることができる。したがって、上記サンドウィッチ構造を有する場合、半導体記憶装置の高速書換え、信頼性の向上、十分な保持時間の確保が可能となる。

5 更には、蓄積される電荷が電子の場合、上記第1の絶縁体の電子親和力が、上記第2及び第3の絶縁体の電子親和力よりも大きいことが好ましい。ここで、電子親和力とは、真空準位と伝導電子体の最低準位とのエネルギー差である。もしくは、蓄積される電荷がホール（正孔）の場合、上記第1の絶縁体における真空準位と価電子帯の最高準位とのエネルギー差が、上記第2及び第3の絶縁体における真空準位と価電子帯の最高準位とのエネルギー差よりも小さいことが好ましい。  
10 上記条件を満たす場合、電荷を蓄積する第1の絶縁体からなる膜からの電荷の散逸が効果的に抑制され、記憶保持時間が長くなる。更には、電荷を蓄積する第1の絶縁体への電荷注入効率が高くなって書換え時間が短縮する。上記条件を満たす電荷保持部としては、上記第1の絶縁体をシリコン窒化膜とし、第2及び第3の絶縁体をシリコン酸化膜とするのが特に好ましい。シリコン窒化膜は、電荷をトラップする準位が多数存在するため大きなヒステリシス特性を得ることができる。  
15 また、シリコン酸化膜およびシリコン窒化膜は共にLSIプロセスでよく標準的に用いられる材料であるため、好ましい。また、第1の絶縁体として、窒化シリコンのほかに、酸化ハフニウム、タンタルオキシド、イットリウムオキシドなどを用いることができる。更には、第2及び第3の絶縁体として、酸化シリコンのほかに、酸化アルミニウムなどを用いることができる。なお、上記第2及び第3の絶縁体は、異なる物質であってもよいし同一の物質であってもよい。  
20

電荷保持部は、ゲート電極の両側に形成されており、また、半導体基板（ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散層領域）上に配置している。

25 ソース／ドレイン領域は、半導体基板又はウェル領域と逆導電型の拡散層領域として、電荷保持部のゲート電極と反対側のそれぞれに配置されている。ソース／ドレイン領域と半導体基板又はウェル領域との接合は、不純物濃度が急峻であることが好ましい。ホットエレクトロンやホットホールが低電圧で効率良く発生し、より低電圧で高速な動作が可能となるからである。ソース／ドレイン領域の

接合深さは、特に限定されるものではなく、得ようとする半導体記憶装置の性能等に応じて、適宜調整することができる。なお、半導体基板としてSOI基板を用いる場合には、ソース／ドレイン領域は、表面半導体層の膜厚よりも小さな接合深さを有していてもよいが、表面半導体層の膜厚とほぼ同程度の接合深さを有していることが好ましい。

ソース／ドレイン領域は、ゲート電極端とオーバーラップするように配置していてもよいし、ゲート電極端に対してオフセットされて配置されていてもよい。特に、オフセットされている場合には、ゲート電極に電圧を印加したときの電荷保持膜下のオフセット領域の反転しやすさが電荷保持部に蓄積された電荷量によって大きく変化し、メモリ効果が増大するとともに、短チャネル効果の低減をもたらすため、好ましい。ただし、あまりオフセットしすぎると、ソース・ドレイン間の駆動電流が著しく小さくなる。したがって、オフセット量はメモリ効果と駆動電流の双方が適切な値となるように決定すればよい。

ソース／ドレイン領域は、その一部が、チャネル領域表面、つまり、ゲート絶縁膜下面よりも高い位置に延設されていてもよい。この場合には、半導体基板内に形成されたソース／ドレイン領域上に、このソース／ドレイン領域と一体化した導電膜が積層されて構成されていることが適当である。導電膜としては、例えば、ポリシリコン、アモルファスシリコン等の半導体、シリサイド、上述した金属、高融点金属等が挙げられる。なかでも、ポリシリコンが好ましい。ポリシリコンは、不純物拡散速度が半導体基板に比べて非常に大きいために、半導体基板内におけるソース／ドレイン領域の接合深さを浅くするのが容易で、短チャネル効果の抑制がしやすいためである。なお、この場合には、このソース／ドレイン領域の一部は、ゲート電極とともに、電荷保持膜の少なくとも一部を挟持するように配置することが好ましい。

本発明の半導体記憶装置は、ゲート絶縁膜上に形成された単一のゲート電極、ソース領域、ドレイン領域及び半導体基板を4個の端子として、この4個の端子のそれぞれに所定の電位を与えることにより、書込み、消去、読出しの各動作を行なう。具体的な動作原理及び動作電圧の例は、後述する。本発明の半導体記憶装置をアレイ状に配置してメモリセルアレイを構成した場合、単一の制御ゲート

で各メモリセルを制御できるので、ワード線の本数を少なくすることができる。

本発明の半導体記憶装置は、通常の半導体プロセスによって、例えば、ゲート電極の側壁に積層構造のサイドウォールスペーサを形成する方法と同様の方法によって形成することができる。具体的には、ゲート電極を形成した後、絶縁膜  
5 (第2の絶縁体) / 電荷蓄積膜 (第1の絶縁体) / 絶縁膜 (第2の絶縁体) の積層膜を形成し、適当な条件下でエッチバックしてこれらの膜をサイドウォールスペーサ状に残す方法が挙げられる。

本発明の半導体記憶装置を配列してメモリセルアレイを構成した場合、半導体記憶装置の最良の形態は、例えば、(1) 複数の半導体記憶装置のゲート電極が  
10 一体となってワード線の機能を有する、(2) 上記ワード線の両側には電荷保持部が形成されている、(3) 電荷保持部内で電荷を保持するのは絶縁体、特にシリコン窒化膜である、(4) 電荷保持部はONO (Oxide Nitride Oxide) 膜で構成されており、シリコン窒化膜はゲート絶縁膜の表面と略平行な表面を有している、(5) 電荷保持部中のシリコン窒化膜はワード線及びチャネル領域とシリ  
15 コン酸化膜で隔てられている、(6) 電荷保持部内のシリコン窒化膜と拡散領域とがオーバーラップしている、(7) ゲート絶縁膜の表面と略平行な表面を有するシリコン窒化膜とチャネル領域又は半導体層とを隔てる絶縁膜の厚さと、ゲート絶縁膜の厚さが異なる、(8) 1個の半導体記憶装置の書込み及び消去動作は単一のワード線により行なう、(9) 電荷保持部の上には書込み及び消去動作を  
20 補助する機能を有する電極 (ワード線) がない、(10) 電荷保持部の直下で拡散領域と接する部分に拡散領域の導電型と反対導電型の不純物濃度が濃い領域を有する、という要件の全てを満たすものである。ただし、これらの要件の1つでも満たすものであればよい。

上述した要件の特に好ましい組み合わせは、例えば、(3) 電荷保持部内で電荷を保持するのが絶縁体、特にシリコン窒化膜であり、(6) 電荷保持部内の絶縁膜 (シリコン窒化膜) と拡散領域とがオーバーラップしており、(9) 電荷保持部の上には書込み及び消去動作を補助する機能を有する電極 (ワード線) がない場合である。

要件 (3) 及び要件 (9) を満たす場合には、以下のように、非常に有用であ

る。

まず、ビット線コンタクトをワード線側壁の電荷保持部と、より接近して配置することができ、又は半導体記憶装置間の距離が接近しても、複数の電荷保持部が干渉せず、記憶情報を保持できる。したがって、半導体記憶装置の微細化が容易となる。なお、電荷保持部内の電荷保持領域が導電体の場合、容量カップリングにより半導体記憶装置間が近づくにつれて電荷保持領域間で干渉が起き、記憶情報を保持できなくなる。

また、電荷保持部内の電荷保持領域が絶縁体（例えば、シリコン窒化膜）である場合、メモリセル毎に電荷保持部を独立させる必要がなくなる。例えば、複数のメモリセルで共有される1本のワード線の両側に形成された電荷保持部は、メモリセル毎に分離する必要が無く、1本のワード線の両側に形成された電荷保持部を、ワード線を共有する複数のメモリセルで共有することが可能となる。そのため、電荷保持部を分離するフォト、エッチング工程が不要となり、製造工程が簡略化される。さらに、フォトリソグラフィ工程の位置合わせマージン、エッチングの膜減りマージンが不要となるため、メモリセル間のマージンを縮小できる。したがって、電荷保持部内の電荷保持領域が導電体（例えば、多結晶シリコン膜）である場合と比較して、同じ微細加工レベルで形成しても、メモリセル占有面積を微細化することができる。なお、電荷保持部内の電荷保持領域が導電体である場合、電荷保持部をメモリセル毎に分離するフォト、エッチング工程が必要となり、フォトの位置合わせマージン、エッチングの膜減りマージンが必要となる。

さらに、電荷保持部の上には書込み及び消去動作を補助する機能を有する電極がなく素子構造が単純であるから工程数が減少し、歩留まりを向上させることができる。したがって、論理回路やアナログ回路を構成するトランジスタとの混載を容易にすることができるとともに、安価な半導体記憶装置を得ることができる。

また、要件（3）及び（9）を満たす場合であって、さらに要件（6）を満たす場合には、より有用である。

つまり、電荷保持部内の電荷保持領域と拡散領域とをオーバーラップさせることにより、非常に低電圧で書込、消去が可能となる。具体的には、5 V以下とい

う低電圧により、書込み及び消去動作を行なうことができる。この作用は、回路設計上においても非常に大きな効果である。フラッシュメモリのような高電圧をチップ内で作る必要がなくなるため、莫大な占有面積が必要となるチャージポンピング回路を省略又は規模を小さくすることが可能となる。特に、小規模容量のメモリを調整用としてロジックLSIに内蔵する場合、メモリ部の占有面積はメモリセルよりも、メモリセルを駆動する周辺回路の占有面積が支配的となるため、メモリセル用電圧昇圧回路を省略又は規模を小さくすることは、チップサイズを縮小させるためには最も効果的となる。

一方、要件（３）を満たさない場合、つまり、電荷保持部内で電荷を保持するのが導電体である場合は、要件（６）を満たさない、つまり、電荷保持部内の導電体と拡散領域がオーバーラップしていない場合でも、書込み動作を行なうことができる。これは、電荷保持部内の導電体がゲート電極との容量カップリングにより書込み補助を行なうからである。

また、要件（９）を満たさない場合、つまり、電荷保持部の上に書込み及び消去動作を補助する機能を有する電極がある場合は、要件（６）を満たさない、つまり、電荷保持部内の絶縁体と拡散領域とがオーバーラップしていない場合でも、書込み動作を行なうことができる。

本発明の半導体記憶装置においては、半導体記憶装置は、その一方又は両方に、トランジスタが直列に接続していてもよいし、ロジックトランジスタと、同一のチップ上に混載されていてもよい。このような場合には、本発明の半導体装置、特に半導体記憶装置を、トランジスタ及びロジックトランジスタなどの通常の標準トランジスタの形成プロセスと非常に親和性が高い工程で形成することができるため、同時に形成することができる。したがって、半導体記憶装置とトランジスタ又はロジックトランジスタとを混載するプロセスは非常に簡便なものとなり、安価な混載装置を得ることができる。

本発明の半導体記憶装置は、半導体記憶装置が、１つの電荷保持部に２値又はそれ以上の情報を記憶させることができ、これにより、４値又はそれ以上の情報を記憶する半導体記憶装置として機能させることができる。なお、半導体記憶装置は、２値の情報を記憶させるのみでもよい。また、半導体記憶装置を、電荷保



持部による可変抵抗効果により、選択トランジスタとメモリトランジスタとの機能を兼ね備えたメモリセルとしても機能させることができる。

本発明の半導体記憶装置は、電池駆動の携帯電子機器、特に携帯情報端末に用いることができる。携帯電子機器としては、携帯情報端末、携帯電話、ゲーム機  
5 器等が挙げられる。

以下に、本発明の半導体記憶装置について、図面に基づいて詳細に説明する。

(実施の形態1)

本実施の形態の半導体記憶装置を構成するメモリ素子は、2ビットの記憶が可能  
10 可能な不揮発性メモリセルとして、図1に示したように、半導体基板11上に、ゲート絶縁膜12を介して、通常のトランジスタと同程度のゲート長、例えば0.015 $\mu\text{m}$ ~0.5 $\mu\text{m}$ 程度のゲート電極13が形成されており、ゲート絶縁膜12及びゲート電極13の側壁に、サイドウォールスペーサ形状の電荷保持部61、62が形成されて構成されている。また、電荷保持部61、62のゲート電極13と反対の側には、第1の拡散層領域17及び第2の拡散層領域18（ソース/ドレイン領域）が形成されており、このソース/ドレイン領域17、18は、  
15 ゲート電極13端部に対して（ゲート電極13が形成された領域41から）オフセットされている。

このように、メモリトランジスタの電荷保持部61、62は、ゲート絶縁膜12とは独立して形成されている。したがって、電荷保持部61、62が担うメモリ機能と、ゲート絶縁膜12が担うトランジスタ動作機能とは分離されている。  
20 また、ゲート電極13の両側に形成された2つの電荷保持部61、62はゲート電極13により分離されているので書換え時の干渉が効果的に抑制される。したがって、このメモリトランジスタは、2ビットの記憶が可能で、かつ微細化が容易である。

また、ソース/ドレイン領域17、18がゲート電極13からオフセットされていることにより、ゲート電極13に電圧を印加したときの電荷保持部61下のオフセット領域42の反転しやすさを、電荷保持部61、62に蓄積された電荷量によって大きく変化させることができ、メモリ効果を増大させることが可能となる。更に、通常のロジックトランジスタと比較して、短チャネル効果を強力に  
25

防止することができ、より一層のゲート長の微細化を図ることができる。また、構造的に短チャネル効果抑制に適しているため、ロジックトランジスタと比較して膜厚の厚いゲート絶縁膜を採用することができ、信頼性を向上させることが可能となる。

- 5        サイドウォールスペーサ形状の電荷保持部 6 1、6 2 は、第 1 の絶縁体からなる膜の一例としてのシリコン窒化膜 1 5 が、第 2 の絶縁体からなる膜の一例としてのシリコン酸化膜 1 4 と、第 3 の絶縁体からなる膜の一例としてのシリコン酸化膜 1 6 で挟まれた構造を有している。シリコン窒化膜 1 5 は、電荷（電子又は正孔）をトラップして蓄積する機能を有している。主として電荷を蓄積するのは、  
10        シリコン窒化膜 1 5 のうち、オフセット領域 4 2 上に存する部分（領域 4 3）である。このように、電荷保持部 6 1、6 2 はシリコン窒化膜 1 5 がシリコン酸化膜 1 4、1 6 によって挟まれた構造を有するため、電荷保持部 6 1、6 2 への電荷注入効率が上がり、書換え動作（書込み及び消去動作）の高速化が実現する。

- 15        シリコン窒化膜 1 5 の少なくとも一部が第 1 の拡散層領域 1 7 または第 2 の拡散層領域 1 8 の一部にオーバーラップするように形成されてなることが好ましい。

また、シリコン窒化膜 1 5 は、ゲート絶縁膜 1 2 の表面と略平行な表面を有する部分を含むのが好ましい。

また、シリコン窒化膜 1 5 が、ゲート電極 1 2 の側面と略並行に延びた部分を含むのが好ましい。

- 20        図 2 は、図 1 に記載したメモリ素子の、一方のゲート端付近での拡大図である。主として電荷を蓄積するのは領域 4 3 であるから、オフセット領域 4 2 上におけるシリコン酸化膜 1 4 の厚さ  $T_1$  及びシリコン窒化膜 1 5 の厚さ  $T_2$  が、メモリ特性に大きな影響を与える。

- 25        オフセット領域 4 2 上におけるシリコン酸化膜 1 4 の厚さ  $T_1$  は、以下のように設定するのが好ましい。シリコン酸化膜 1 4 の厚さ  $T_1$  が 1.5 nm 以下の場合、領域 4 3 に蓄積した電荷がシリコン酸化膜 1 4 を通して逃げやすくなり、保持時間が著しく短くなる。一方、 $T_1$  が 1.5 nm 以上では、領域 4 3 への電荷注入効率が悪化し、書込み時間の増大が無視できなくなる。したがって、シリコン酸化膜 1 4 の厚さ  $T_1$  は、1.5 nm ~ 15 nm とすれば、十分な保持時間と高

速な書換えが両立するので、好ましい。T1は、5 nm～12 nmとするのが、より好ましい。

オフセット領域42上におけるシリコン窒化膜15の厚さT2は、以下のように設定するのが好ましい。シリコン窒化膜15の厚さT2が2 nm以下の場合、シリコン窒化膜15中に含まれる電荷トラップ密度が十分でなくなるため、メモリ素子の閾値変化（あるいは読出し電流変化）が十分でなくなる。更には、シリコン窒化膜15の膜厚ばらつきが与える素子間ばらつきが無視できなくなる。一方、シリコン窒化膜15の厚さT2が15 nm以上では、書換え時にシリコン窒化膜中に一様に電荷を注入するのが難しく、もしくはより長い時間を要する。また、シリコン窒化膜15に一様に電荷が注入されなかった場合、記憶保持中にシリコン窒化膜15中で電荷が移動し、閾値（あるいは読出し電流）の変化が問題となる。したがって、シリコン窒化膜15の厚さT2は、2 nm～15 nmとすれば、メモリ素子は十分な信頼性を備えるので、好ましい。T2は、3 nm～7 nmとするのが、より好ましい。

図3は、図2の切断面線A-A'における、電子に対するエネルギーダイアグラム（エネルギーバンド図）を示している。なお、簡単のため、バンドは全てフラット（真空準位VLが位置によらず一定）としている。図3中、ECsは半導体（半導体基板11）の伝導電子帯の最低準位、EVsは半導体の価電子帯の最高準位、Efsは半導体のフェルミレベル、EC1は第1の絶縁体（シリコン窒化膜15）の伝導電子帯の最低準位、EV1は第1の絶縁体の価電子帯の最高準位、EC2は第2の絶縁体（シリコン酸化膜14）の伝導電子帯の最低準位、EV2は第2の絶縁体の価電子帯の最高準位、EC3は第3の絶縁体（シリコン酸化膜16）の伝導電子帯の最低準位、EV3は第3の絶縁体の価電子帯の最高準位である。したがって、 $\chi_1$ は第1の絶縁体における真空準位と伝導電子帯の最低準位とのエネルギー差（電子親和力）、 $\phi_1$ は第1の絶縁体における真空準位と価電子帯の最高準位とのエネルギー差、 $\chi_2$ は第2の絶縁体における真空準位と伝導電子帯の最低準位とのエネルギー差（電子親和力）、 $\phi_2$ は第2の絶縁体における真空準位と価電子帯の最高準位とのエネルギー差、 $\chi_3$ は第3の絶縁体における真空準位と伝導電子帯の最低準位とのエネルギー差（電子親和力）、 $\phi$

3は第3の絶縁体における真空準位と価電子帯の最高準位とのエネルギー差を示している。

電荷を蓄積する第1の絶縁体に電子が蓄積する場合、 $\chi_1 > \chi_2$ かつ $\chi_1 > \chi_3$ であることが好ましい。この場合、第1の絶縁体（シリコン窒化膜15）に電子を注入する際に、第3の絶縁体（シリコン酸化膜16）が障壁となって、電子の注入効率が高くなる。また、第1の絶縁体に蓄積された電子が半導体基板11に漏れるのを効率的に防止することができる。したがって、高速の書込み動作と良好な保持特性が実現する。

電荷を蓄積する第1の絶縁体に正孔が蓄積する場合、 $\phi_1 < \phi_2$ かつ $\phi_1 < \phi_3$ であることが好ましい。この場合、第1の絶縁体（シリコン窒化膜15）に正孔を注入する際に、第3の絶縁体（シリコン酸化膜16）が障壁となって、正孔の注入効率が高くなる。また、第1の絶縁体に蓄積された正孔が半導体基板11に漏れるのを効率的に防止することができる。したがって、高速の書込み動作と良好な保持特性が実現する。

なお、上記4条件（ $\chi_1 > \chi_2$ 、 $\chi_1 > \chi_3$ 、 $\phi_1 < \phi_2$ 、 $\phi_1 < \phi_3$ ）が全て満たされるのがより好ましい。例えば、電荷を蓄積する第1の絶縁体に電子が蓄積する場合であっても、蓄積された電子を除去するために正孔を注入する場合は、正孔の注入効率が高くなり、消去動作をも高速化することができる。

本実施例では、第1の絶縁体はシリコン窒化膜、第2及び第3の絶縁体はシリコン酸化膜であったが、その限りではない。例えば、第1の絶縁体を酸化ハフニウム、酸化タンタル、酸化イットリウム、酸化ジルコニウムなどの高誘電材料とすることができる。更に、第2及び第3の絶縁体を酸化アルミニウムとすることができる。

このメモリの書込み動作原理を、図4A、図4Bを用いて説明する。

ここで、書込みとは、電荷保持部61、62に電子を注入することを指すこととする。

第2の電荷保持部62に電子を注入する（書込む）ためには、図4Aに示すように、第1の拡散層領域17をソース電極に、第2の拡散層領域18をドレイン電極とする。例えば、第1の拡散層領域17及び半導体基板11に0V、第2の

拡散層領域 18 に +5 V、ゲート電極 13 に +2 V を印加すればよい。このような電圧条件によれば、反転層 31 が、第 1 の拡散層領域 17 (ソース電極) から伸びるが、第 2 の拡散層領域 18 (ドレイン電極) に達することなく、ピンチオフ点が発生する。電子は、ピンチオフ点から第 2 の拡散層領域 18 (ドレイン電極) まで高電界により加速され、いわゆるホットエレクトロン (高エネルギーの伝導電子) となる。このホットエレクトロンが第 2 の電荷保持部 62 (より正確にはシリコン窒化膜 15) に注入されることにより書込みが行なわれる。なお、第 1 の電荷保持部 61 近傍では、ホットエレクトロンが発生しないため、書込みは行なわれない。

このようにして、第 2 の電荷保持部 62 に電子を注入して、書込みを行なうことができる。

一方、第 1 の電荷保持部 61 に電子を注入する (書込む) ためには、図 4 B に示すように、第 2 の拡散層領域 18 をソース電極に、第 1 の拡散層領域 17 をドレイン電極とする。例えば、第 2 の拡散層領域 18 及び半導体基板 11 に 0 V、第 1 の拡散層領域 17 に +5 V、ゲート電極 13 に +2 V を印加すればよい。このように、第 2 の電荷保持部 62 に電子を注入する場合とは、ソース/ドレイン領域を入れ替えることにより、第 1 の電荷保持部 61 に電子を注入して、書込みを行なうことができる。

次に、上記メモリ素子の読み出し動作原理を説明する。

第 1 の電荷保持部 61 に記憶された情報を読み出す場合、第 1 の拡散層領域 17 をソース電極に、第 2 の拡散層領域 18 をドレイン電極とし、トランジスタを飽和領域動作させる。例えば、第 1 の拡散層領域 17 及び半導体基板 11 に 0 V、第 2 の拡散層領域 18 に +2 V、ゲート電極 13 に +1 V を印加すればよい。この際、第 1 の電荷保持部 61 に電子が蓄積していない場合には、ドレイン電流が流れやすい。一方、第 1 の電荷保持部 61 に電子が蓄積している場合は、第 1 の電荷保持部 61 近傍で反転層が形成されにくいので、ドレイン電流は流れにくい。したがって、ドレイン電流を検出することにより、第 1 の電荷保持部 61 の記憶情報を読み出すことができる。このとき、第 2 の電荷保持部 62 における電荷蓄積の有無は、ドレイン近傍がピンチオフしているため、ドレイン電流に影響を与

えない。

第2の電荷保持部62に記憶された情報を読み出す場合、第2の拡散層領域18をソース電極に、第1の拡散層領域17をドレイン電極とし、トランジスタを飽和領域動作させる。例えば、第2の拡散層領域18及び半導体基板11に0V、  
5 第1の拡散層領域17に+2V、ゲート電極13に+1Vを印加すればよい。このように、第1の電荷保持部61に記憶された情報を読み出す場合とは、ソース／ドレイン領域を入れ替えることにより、第2の電荷保持部62に記憶された情報の読出しを行なうことができる。

以上の説明から明らかなように、一方の側の電荷保持部に注目した場合、書込みを行なう場合と、読み出し動作をおこなう場合とでは、ソースとドレインとを入れ替えている。言い換えれば、読み出し動作時と書込み動作時で、第1の拡散層領域と第2の拡散層領域とに印加する電圧の大小関係を反対にしている。そのため、2つの電荷保持部のそれぞれに記憶された情報を感度よく検出することができるのである。

15 なお、ゲート電極13で覆われないチャネル領域（オフセット領域42）が残されている場合、ゲート電極13で覆われないチャネル領域においては、電荷保持部61、62の余剰電子の有無によって反転層が消失又は形成され、その結果、大きなヒステリシス（閾値の変化）が得られる。ただし、オフセット領域42の幅があまり大きいと、ドレイン電流が大きく減少し、読出し速度が大幅に遅くなる。したがって、十分なヒステリシスと読出し速度が得られるように、オフセッ  
20 ト領域42の幅を決定することが好ましい。

第1、第2の拡散層領域17、18がゲート電極13端に達している場合、つまり、第1、第2の拡散層領域17、18とゲート電極13とがオーバーラップしている場合であっても、書込み動作によりトランジスタの閾値はほとんど変わ  
25 らなかったが、ソース／ドレイン端での寄生抵抗が大きく変わり、ドレイン電流は大きく減少（1桁以上）した。したがって、ドレイン電流の検出により読出しが可能であり、メモリとしての機能を得ることができる。ただし、より大きなメモリヒステリシス効果を必要とする場合、第1、第2の拡散層領域17、18とゲート電極13とがオーバーラップしていない（オフセット領域42が存在す

る) ほうが好ましい。

更に、上記半導体記憶装置の消去動作原理を図5で説明する。

まず、第1の方法として、第1の電荷保持部61に記憶された情報を消去する場合、第1の拡散層領域17に正電圧（例えば、+6V）、半導体基板11に0Vを印加して、第1の拡散層領域17と半導体基板11とのPN接合に逆バイアスをかけ、更にゲート電極13に負電圧（例えば、-5V）を印加すればよい。このとき、上記PN接合のうちゲート電極13付近では、負電圧が印加されたゲート電極の影響により、特にポテンシャルの勾配が急になる。そのため、バンド間トンネルによりPN接合の半導体基板11側にホットホール（高エネルギーの正孔）が発生する。このホットホールが負の電位をもつゲート電極13方向に引きこまれ、その結果、第1の電荷保持部61にホール注入が行なわれる。このようにして、第1の電荷保持部61の消去が行なわれる。このとき第2の拡散層領域18には0Vを印加すればよい。

第2の電荷保持部62に記憶された情報を消去する場合は、上記において第1の拡散層領域と第2の拡散層領域の電位を入れ替えればよい。

第2の方法として、図6に示すように第1の電荷保持部61に記憶された情報を消去する場合、第1の拡散層領域17に正電圧（例えば、+5V）、第2の拡散層領域18に0V、ゲート電極13に負電圧（例えば、-4V）、半導体基板11に正電圧（例えば、+0.8V）を印加すればよい。この際、半導体基板11と第2の拡散層領域18との間に順方向電圧が印加され、半導体基板11に電子が注入される。注入された電子は、半導体基板11と第1の拡散層領域17とのPN接合まで拡散し、そこで強い電界により加速されてホットエレクトロンとなる。このホットエレクトロンは、PN接合において、電子-ホール対を発生させる。すなわち、半導体基板11と第2の拡散層領域18との間に順方向電圧を印加することにより、半導体基板11に注入された電子がトリガーとなって、反対側に位置するPN接合でホットホールが発生する。PN接合で発生したホットホールは負の電位をもつゲート電極13方向に引きこまれ、その結果、第1の電荷保持部61に正孔注入が行なわれる。

この第2の方法によれば、半導体基板11と第1の拡散層領域17とのPN接

合において、バンド間トンネルによりホットホールが発生するに足りない電圧しか印加されない場合においても、第2の拡散層領域18から注入された電子は、PN接合で電子-正孔対が発生するトリガーとなり、ホットホールを発生させることができる。したがって、消去動作時の電圧を低下させることができる。特に、  
5 オフセット領域42が存在する場合は、負の電位が印加されたゲート電極により上記PN接合が急峻となる効果が少ない。そのため、バンド間トンネルによるホットホールの発生が難しいのであるが、第2の方法はその欠点を補い、低電圧で消去動作を実現することができる。

なお、第1の電荷保持部61に記憶された情報を消去する場合、第1の消去方法では、第1の拡散層領域17に+6Vを印加しなければならなかったが、第2の消去方法では、+5Vで足りた。このように、第2の方法によれば、消去時の電圧を低減することができるので、消費電力が低減され、ホットキャリアによる半導体記憶装置の劣化を抑制することができる。

この第2の方法は、本発明における半導体記憶装置に適用されるのみならず、  
15 例えば、従来技術であるサイファン・セミコンダクターズ・リミテッド社のメモリ素子（図21）においても、適用することができる。この場合も、記憶を消去するための動作電圧を低下することができ、低消費電力化、メモリ素子劣化の抑制を実現することができる。

以上の動作方法により、1トランジスタ当たり選択的に2ビットの書込み及び消去が可能となる。  
20

また、上記動作方法では、ソース電極とドレイン電極を入れ替えることによって1トランジスタ当たり2ビットの書込み及び消去をさせているが、ソース電極とドレイン電極を固定して1ビットメモリとして動作させてもよい。この場合ソース/ドレイン領域の一方を共通固定電圧とすることが可能となり、ソース/ドレイン領域に接続されるビット線の本数を半減できる。  
25

このメモリ素子は、通常のロジックトランジスタとは、ほぼ同様の工程を経て形成することができる。まず、図7Aに示すように、半導体基板11上に、膜厚1~6nm程度のシリコン酸窒化膜からなるゲート絶縁膜12及び膜厚50~400nm程度のポリシリコン、ポリシリコンと高融点金属シリサイドの積層膜又



はポリシリコンと金属との積層膜からなるゲート電極材料膜を形成し、所望の形状にパターニングすることによりゲート電極13を形成した。なお、ゲート絶縁膜及びゲート電極の材料は、上述したように、その時代のスケーリング則に則ったロジックプロセスにおいて使われる材料を用いればよく、上記材料に限定されるものではない。

続いて、図7Bに示すように、得られた半導体基板11上全面に、膜厚1.5～15nm、より好ましくは膜厚5～12nmのシリコン酸化膜51をCVD (Chemical Vapor Deposition)法により堆積した。なお、シリコン酸化膜51は熱酸化によって形成してもよい。次に、シリコン酸化膜51上全面に、膜厚2～15nm、より好ましくは3～7nmのシリコン窒化膜52をCVD法により堆積した。更に、シリコン窒化膜52上全面に、20～70nmのシリコン酸化膜53をCVD法により堆積した。

続いて、図7Cに示すように、異方性エッチングによりシリコン酸化膜53、51及びシリコン窒化膜52をエッチバックすることにより、記憶に最適な電荷保持部を、ゲート電極の側壁にサイドウォールスペーサ状に形成した。その後、ゲート電極13及びサイドウォールスペーサ状の電荷保持部をマスクとしてイオン注入することにより、ソース/ドレイン領域17、18を形成した。

本実施の形態1の半導体記憶装置によれば、メモリトランジスタの電荷保持部は、ゲート絶縁膜とは独立して形成され、ゲート電極の両側に形成されている。そのため、2ビット動作が可能である。更には、各電荷保持部はゲート電極により分離されているので書換え時の干渉が効果的に抑制される。また、電荷保持部が担うメモリ機能と、ゲート絶縁膜が担うトランジスタ動作機能とは分離されているので、ゲート絶縁膜圧を薄膜化して短チャネル効果を抑制することができる。したがって素子の微細化が容易となる。

また、電荷保持部としてメモリ機能に適した材料膜を選択して形成することができる。本実施例では、シリコン酸化膜とシリコン窒化膜との積層膜（シリコン酸化膜／シリコン窒化膜／シリコン酸化膜）からなる電荷保持部を用いているので、電荷の注入効率が上がり、かつ、電荷の漏れを軽減することができる。したがって、高速な書換え動作特性と優れた保持特性を併せ持つ半導体記憶装置が提

供される。

(実施の形態 2)

本実施の形態 2 の半導体記憶装置であるメモリ素子は、上記実施の形態 1 の半導体記憶装置において、ゲート電極から電荷保持部への電荷の注入を抑制したものである。

本実施の形態のメモリ素子を、図 8 を用いて説明する。本実施の形態のメモリ素子は、ゲート電極 13 の側壁でのシリコン酸化膜 14 の厚さ  $T1B$  が、半導体基板上 11 上でのシリコン酸化膜 14 の厚さ  $T1A$  よりも厚いことを特徴としている。そのため、ゲート電極 13 からシリコン窒化膜 15 への電荷の注入（あるいはシリコン窒化膜 15 からゲート電極 13 への電荷の放出）を効果的に抑制することができる。したがって、メモリ素子の書換え特性が安定し、信頼性が向上する。

本実施の形態 2 のメモリ素子を形成する手順を、図 9 A、図 9 B、図 9 C により説明する。以下、半導体基板はシリコン基板であり、ゲート電極は多結晶シリコンからなる場合を説明する。図 9 A に示すように、半導体（シリコン）基板 11 上にゲート絶縁膜 12 およびゲート電極を形成した。この時、ゲート電極 13 は、多結晶シリコンからなるのが好ましい。次に、図 9 B に示すように、熱酸化によりシリコン基板 11 及びゲート電極 13 の表面にシリコン酸化膜 51 を形成した。この時、シリコン酸化膜 51 の膜厚は、シリコン基板 11 上（領域 71）よりも、ゲート電極 13 の側壁（領域 72）の方が厚くなった。これは、単結晶シリコンよりも多結晶シリコンの熱酸化レートが大きいからである。その後、図 9 C に示すように、実施の形態 1 と同様な手順でメモリ素子を完成した。

上記手順によれば、結晶性の違いによる酸化レートの違いを利用することにより、特に工程を増やすことなくゲート電極側壁の酸化膜厚を選択的に厚くすることができる。したがって、安定した書換え特性が有し、信頼性が高いメモリ素子を簡単な工程で形成することが可能となる。

(実施の形態 3)

本実施の形態 3 の半導体記憶装置は、図 10 に示すように、電荷保持部 161、162 が電荷を保持する領域（電荷を蓄える領域であって、電荷を保持する機能

を有する膜であってもよい)と電荷を逃げにくくする領域(電荷を逃げにくくする機能を有する膜であってもよい)から構成される。例えば、上記半導体記憶装置はONO構造を有している。すなわち、第2の絶縁体からなる膜の一例としてのシリコン酸化膜141と、第3の絶縁体からなる膜の一例としてのシリコン酸化膜143との間に、第1の絶縁体からなる膜の一例としてのシリコン窒化膜142が挟まれ、電荷保持部161、162を構成している。ここで、シリコン窒化膜142は電荷を保持する機能を果たす。また、シリコン酸化膜141、143はシリコン窒化膜142中に蓄えられた電荷を逃げにくくする機能を有する膜の役割を果たす。

また、電荷保持部161、162における電荷を保持する領域(シリコン窒化膜142)は、拡散層領域112、113とそれぞれオーバーラップしている。ここで、オーバーラップするとは、拡散層領域112、113の少なくとも一部の領域上に、電荷を保持する領域(シリコン窒化膜142)の少なくとも一部が存在することを意味する。なお、111は半導体基板、114はゲート絶縁膜、117はゲート絶縁膜114上に形成された単一のゲート電極、171は(ゲート電極と拡散層領域との)オフセット領域である。図示しないが、ゲート絶縁膜114下であって半導体基板111最表面部はチャネル領域となる。

電荷保持部161、162における電荷を保持する領域(シリコン窒化膜142)と拡散層領域112、113とがオーバーラップすることによる効果を説明する。

図11は、図10の右側の電荷保持部162周辺部の拡大図である。W1はゲート電極117と拡散層領域113とのオフセット量を示す。また、W2はゲート電極117のチャネル長方向の切断面における電荷保持部162の幅を示しているが、電荷保持部162のうちシリコン窒化膜142のゲート電極117と離れた側の端が、ゲート電極117から離れた側の電荷保持部162の端と一致しているため、電荷保持部162の幅をW2として定義した。電荷保持部162と拡散層領域113とのオーバーラップ量は $W2 - W1$ で表される。特に重要なことは、電荷保持部162のうちシリコン窒化膜142が、拡散層領域113とオーバーラップする、つまり、 $W2 > W1$ なる関係を満たすことである。

5       なお、図12に示すように、電荷保持部162aのうち電荷保持膜142aのゲート電極117と離れた側の端が、ゲート電極117から離れた側の電荷保持部162aの端と一致していない場合は、W2をゲート電極117のシリコン酸化膜141a側の端から電荷保持膜142aのゲート電極117と遠い側の端までと定義すればよい。

10       図13は、図11の構造において、電荷保持部162の幅W2を100nmに固定し、オフセット量W1を変化させたときのドレイン電流 $I_d$ を示している。ここで、ドレイン電流は、電荷保持部162を消去状態（ホールが蓄積されている）とし、拡散層領域112、113をそれぞれソース電極、ドレイン電極として、デバイスシミュレーションにより求めた。

15       図13から明らかなように、W1が100nm以上（すなわち、シリコン窒化膜142と拡散層領域113とがオーバーラップしない）では、ドレイン電流が急速に減少している。ドレイン電流値は、読出し動作速度にほぼ比例するので、W1が100nm以上ではメモリの性能は急速に劣化する。一方、シリコン窒化膜142と拡散層領域113とがオーバーラップする範囲においては、ドレイン電流の減少は緩やかである。したがって、電荷を保持する機能を有する膜であるシリコン窒化膜142の少なくとも一部とソース／ドレイン領域（拡散層領域113）とがオーバーラップすることが好ましい。これと同様に、電荷保持部161においても、電荷を保持する機能を有する膜であるシリコン窒化膜142の少なくとも一部とソース／ドレイン領域（拡散層領域112）とがオーバーラップすることが好ましい。

20       上述したデバイスシミュレーションの結果を踏まえて、W2を100nm固定とし、W1を設計値として60nm及び100nmとして、メモリセルアレイを作製した。W1が60nmの場合、シリコン窒化膜142と拡散層領域112、113とは設計値として40nmオーバーラップし、W1が100nmの場合、設計値としてオーバーラップしない。これらのメモリセルアレイの読出し時間を測定した結果、ばらつきを考慮したワーストケースで比較して、W1を設計値として60nmとした場合の方が、読出しアクセス時間で100倍高速であった。実用上、読み出しアクセス時間は1ビットあたり100ナノ秒以下であることが

好ましいが、 $W1 = W2$ では、この条件を到底達成できないことが分かった。また、製造ばらつきまで考慮した場合、 $W2 - W1 > 10 \text{ nm}$ であることがより好ましいことが判明した。

電荷保持部 161 (領域 181) に記憶された情報の読み出しは、実施の形態 1 と同様に、拡散層領域 112 をソース電極とし、拡散層領域 113 をドレイン領域としてチャンネル領域中のドレイン領域に近い側にピンチオフ点を形成するのが好ましい。すなわち、2つの電荷保持部のうち一方に記憶された情報を読み出す時に、ピンチオフ点をチャンネル領域内であって、他方の電荷保持部に近い領域に形成させるのが好ましい。これにより、電荷保持部 162 の記憶状況の如何にかかわらず、電荷保持部 161 の記憶情報を感度よく検出することができ、2ビット動作を可能にする大きな要因となる。

一方、2つの電荷保持部の片側のみに情報を記憶させる場合又は2つの電荷保持部を同じ記憶状態にして使用する場合には、読出し時に必ずしもピンチオフ点を形成しなくてもよい。

なお、図 10 には図示していないが、半導体基板 111 の表面にウェル領域 (Nチャンネル素子の場合はP型ウェル) を形成することが好ましい。ウェル領域を形成することにより、チャンネル領域の不純物濃度をメモリ動作 (書換え動作及び読出し動作) に最適にしつつ、その他の電気特性 (耐圧、接合容量、短チャンネル効果) を制御するのが容易になる。

電荷保持部 161、162 は、メモリの保持特性を向上させる観点から、電荷を保持する機能を有する電荷保持膜と絶縁膜とを含んでいるのが好ましい。この実施の形態では、電荷保持膜として電荷をトラップする準位を有するシリコン窒化膜 142、絶縁膜として電荷保持膜に蓄積された電荷の散逸を防ぐ働きのあるシリコン酸化膜 141、143 を用いている。電荷保持部が電荷保持膜と絶縁膜とを含むことにより電荷の散逸を防いで保持特性を向上させることができる。さらに、電荷保持部が電荷保持膜のみで構成される場合に比べて電荷保持膜の体積を適度に小さくすることができる。電荷保持膜の体積を適度に小さくすることにより電荷保持膜内での電荷の移動を制限し、記憶保持中に電荷移動による特性変化が起こるのを抑制することができる。

また、電荷保持部 1 6 1、1 6 2 は、ゲート絶縁膜 1 1 4 の表面と略平行に配置される電荷保持膜を含むこと、言い換えると、電荷保持部 1 6 1、1 6 2 における電荷保持膜の上面が、ゲート絶縁膜 1 1 4 の上面から等しい距離に位置するように配置されることが好ましい。具体的には、図 1 4 に示したように、電荷保持部 1 6 2 の電荷保持膜 1 4 2 a が、ゲート絶縁膜 1 1 4 の表面と略平行な面を有している。言い換えると、電荷保持膜 1 4 2 a は、ゲート絶縁膜 1 1 4 の表面に対応する高さから、均一な高さに形成されることが好ましい。電荷保持部 1 6 2 中に、ゲート絶縁膜 1 1 4 表面と略平行な電荷保持膜 1 4 2 a があることにより、電荷保持膜 1 4 2 a に蓄積された電荷の多寡によりオフセット領域 1 7 1 での反転層の形成されやすさを効果的に制御することができ、ひいてはメモリ効果を大きくすることができる。また、電荷保持膜 1 4 2 a をゲート絶縁膜 1 1 4 の表面と略平行とすることにより、オフセット量 (W 1) がばらついた場合でもメモリ効果の変化を比較的小さく保つことができ、メモリ効果のばらつきを抑制することができる。しかも、電荷保持膜 1 4 2 a 上部方向への電荷の移動が抑制され、記憶保持中に電荷移動による特性変化が起こるのを抑制することができる。

さらに、電荷保持部 1 6 2 は、ゲート絶縁膜 1 1 4 の表面と略平行な電荷保持膜 1 4 2 a とチャネル領域 (又はウェル領域) とを隔てる絶縁膜 (例えば、シリコン酸化膜 1 4 4 のうちオフセット領域 1 7 1 上の部分) を含むことが好ましい。この絶縁膜により、電荷保持膜に蓄積された電荷の散逸が抑制され、さらに保持特性の良い半導体記憶装置を得ることができる。

なお、電荷保持膜 1 4 2 a の膜厚を制御すると共に、電荷保持膜 1 4 2 a 下の絶縁膜 (シリコン酸化膜 1 4 4 のうちオフセット領域 1 7 1 上の部分) の膜厚を一定に制御することにより、半導体基板 1 1 1 の表面から電荷保持膜中に蓄えられる電荷までの距離を概ね一定に保つことが可能となる。つまり、半導体基板表面から電荷保持膜中に蓄えられる電荷までの距離を、電荷保持膜 1 4 2 a 下の絶縁膜の最小膜厚値から、電荷保持膜 1 4 2 a 下の絶縁膜の最大膜厚値と電荷保持膜 1 4 2 a の最大膜厚値との和までの間に制御することができる。これにより、電荷保持膜 1 4 2 a に蓄えられた電荷により発生する電気力線の密度を概ね制御することが可能となり、メモリ素子のメモリ効果の大きさばらつきを非常に小さく

くすることが可能となる。

(実施の形態4)

本実施の形態4は、電荷保持部162の電荷保持膜142が、図15に示すように、略均一な膜厚で、ゲート絶縁膜114の表面と略平行に配置され（矢印181）、さらに、ゲート電極117側面と略平行に配置された（矢印182）形状を有している。

ゲート電極117に正電圧が印加された場合には、電荷保持部162中での電気力線は矢印183のように、シリコン窒化膜142を2回（矢印182及び矢印181が示す部分）通過する。なお、ゲート電極117に負電圧が印加された時は電気力線の向きは反対側となる。ここで、シリコン窒化膜142の比誘電率は約6であり、シリコン酸化膜141、143の比誘電率は約4である。したがって、矢印181で示す電荷保持膜のみが存在する場合よりも、矢印181および矢印182で示す電荷保持膜が存在する場合の方が、電気力線183方向における電荷保持部162の実効的な比誘電率が大きくなり、電気力線の両端での電位差をより小さくすることができる。すなわち、ゲート電極117に印加された電圧の多くの部分が、オフセット領域171における電界を強くするために使われることになる。

書換え動作時に電荷がシリコン窒化膜142に注入されるのは、発生した電荷がオフセット領域171における電界により引き込まれるためである。したがって、矢印182で示される電荷保持膜を含むことにより、書換え動作時に電荷保持部162に注入される電荷が増加し、書換え速度が増大する。

なお、シリコン酸化膜143の部分もシリコン窒化膜であった場合、つまり、電荷保持膜がゲート絶縁膜114の表面に対応する高さに対して均一でない場合、シリコン窒化膜の上方向への電荷の移動が顕著になって、保持特性が悪化する。

電荷保持膜は、シリコン窒化膜に代えて、比誘電率が非常に大きい酸化ハフニウムなどの高誘電体により形成されることがより好ましい。

さらに、電荷保持部161、162は、ゲート絶縁膜114の表面と略平行な電荷保持膜とチャネル領域（又はウェル領域）とを隔てる絶縁膜（シリコン酸化膜141のうちオフセット領域171上の部分）をさらに含むことが好ましい。

この絶縁膜により、電荷保持膜に蓄積された電荷の散逸が抑制され、さらに保持特性を向上させることができる。

5 また、電荷保持部は、ゲート電極と、ゲート電極側面と略平行な向きに延びた電荷保持膜とを隔てる絶縁膜（シリコン酸化膜 141 のうちゲート電極 117 に接した部分）をさらに含むことが好ましい。この絶縁膜により、ゲート電極から電荷保持膜へ電荷が注入されて電气的特性が変化することを防止し、半導体記憶装置の信頼性を向上させることができる。

10 さらに、実施の形態 3 と同様に、シリコン窒化膜 142 下の絶縁膜（シリコン酸化膜 141 のうちオフセット領域 171 上の部分）の膜厚を一定に制御すること、さらにゲート電極側面上に配置する絶縁膜（シリコン酸化膜 141 のうちゲート電極 117 に接した部分）の膜厚を一定に制御することが好ましい。これにより、シリコン窒化膜 142 に蓄えられた電荷により発生する電気力線の密度を概ね制御することができるとともに、電荷リークを防止することができる。

（実施の形態 5）

15 本実施の形態 5 は、ゲート電極、電荷保持部及びソース／ドレイン領域間距離の最適化に関する。

20 図 16 に示したように、A はチャネル長方向の切断面におけるゲート電極長、B はソース／ドレイン領域間の距離（チャネル長）、C は一方の電荷保持部の端から他方の電荷保持部の端までの距離、つまり、チャネル長方向の切断面における一方の電荷保持部内の電荷を保持する機能を有する膜の端（ゲート電極と離れている側）から他方の電荷保持部内の電荷を保持する機能を有する膜の端（ゲート電極と離れている側）までの距離を示す。

25 まず、 $B < C$  であることが好ましい。チャネル領域のうちゲート電極 117 下の部分とソース／ドレイン領域 112、113 との間にはオフセット領域 171 が存する。 $B < C$  により、電荷保持部 161、162（シリコン窒化膜 142）に蓄積された電荷により、オフセット領域 171 の全領域において、反転の容易性が効果的に変動する。したがって、メモリ効果が増大し、特に読出し動作の高速化が実現する。

また、ゲート電極 117 とソース／ドレイン領域 112、113 がオフセット



している場合、つまり、 $A < B$ が成立する場合には、ゲート電極に電圧を印加したときのオフセット領域の反転のしやすさが電荷保持部に蓄積された電荷量によって大きく変化し、メモリ効果が増大するとともに、短チャネル効果を低減することができる。ただし、メモリ効果が発現する限りにおいては、オフセット領域

5      が必ずしも存在する必要はない。オフセット領域171がない場合においても、ソース/ドレイン領域112、113の不純物濃度が十分に薄ければ、電荷保持部161、162（シリコン窒化膜142）においてメモリ効果が発現し得る。

したがって、 $A < B < C$ であるのが最も好ましい。

（実施の形態6）

10      この実施の形態の半導体記憶装置は、図17に示すように、実施の形態3における半導体基板をSOI基板とする以外は、実質的に同様の構成を有する。

この半導体記憶装置は、半導体基板186上に埋め込み酸化膜188が形成され、さらにその上にSOI層が形成されている。SOI層内には拡散層領域112、113が形成され、それ以外の領域はボディ領域（半導体層）187となっ

15      ている。

この半導体記憶装置によっても、実施の形態3の半導体記憶装置と同様の作用効果を奏する。さらに、拡散層領域112、113とボディ領域187との接合容量を著しく小さくすることができるので、素子の高速化や低消費電力化が可能となる。

20      （実施の形態7）

この実施の形態の半導体記憶装置は、図18に示すように、実施の形態3において、N型のソース/ドレイン領域112、113のチャネル側に隣接して、P型高濃度領域191を追加した以外は、実質的に同様の構成を有する。

すなわち、P型高濃度領域191におけるP型を与える不純物（例えばボロン）濃度が、領域192におけるP型を与える不純物濃度より高い。P型高濃度領域191におけるP型の不純物濃度は、例えば、 $5 \times 10^{17} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 程度が適当である。また、領域192のP型の不純物濃度は、例えば、 $5 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ とすることができる。

25     

このように、P型高濃度領域191を設けることにより、拡散層領域112、

113と半導体基板111との接合が、電荷保持部161、162の直下で急峻となる。そのため、書込み及び消去動作時にホットキャリアが発生し易くなり、書込み動作及び消去動作の電圧を低下させ、あるいは書込み動作及び消去動作を高速にすることが可能となる。さらに、領域192の不純物濃度は比較的薄いので、メモリが消去状態にあるときの閾値が低く、ドレイン電流は大きくなる。そのため、読出し速度が向上する。したがって、書換え電圧が低く又は書換え速度が高速で、かつ、読出し速度が高速な半導体記憶装置を得ることができる。

また、図18において、ソース/ドレイン領域近傍であって電荷保持部161、162の下（すなわち、ゲート電極117の直下ではない）において、P型高濃度領域191を設けることにより、トランジスタ全体としての閾値は著しく上昇する。この上昇の程度は、P型高濃度領域191がゲート電極117の直下にある場合に比べて著しく大きい。電荷保持部161、162に書込み電荷（トランジスタがNチャネル型の場合は電子）が蓄積した場合は、この差がいっそう大きくなる。一方、電荷保持部161、162に十分な消去電荷（トランジスタがNチャネル型の場合は正孔）が蓄積された場合は、トランジスタ全体としての閾値は、ゲート電極117下のチャネル領域（領域192）の不純物濃度で決まる閾値まで低下する。すなわち、消去時の閾値は、P型高濃度領域191の不純物濃度には依存せず、一方で、書込み時の閾値は非常に大きな影響を受ける。よって、P型高濃度領域191を電荷保持部の下であってソース/ドレイン領域近傍に配置することにより、書込み時の閾値のみが非常に大きく変動し、メモリ効果（書込み時と消去時での閾値の差）を著しく増大させることができる。

#### （実施の形態8）

本実施の形態の半導体記憶装置は、図19に示すように、実施の形態3において、電荷保持膜（シリコン窒化膜142）とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さ（T3）が、ゲート絶縁膜114の厚さ（T4）よりも薄いこと以外は、実質的に同様の構成を有する。

ゲート絶縁膜114は、メモリの書換え動作時における耐圧の要請から、その厚さT4には下限値が存在する。しかし、絶縁膜の厚さT3は、耐圧の要請にかかわらず、T4よりも薄くすることが可能である。T3を薄くすることにより、

電荷保持部 161, 162 への電荷の注入が容易になり、書込み動作及び消去動作の電圧を低下させ、又は書込み動作及び消去動作を高速にすることが可能となり、また、シリコン窒化膜 142 に電荷が蓄積された時にチャネル領域又はウェル領域に誘起される電荷量が増えるため、メモリ効果を増大させることができる。

したがって、 $T3 < T4$  とすることにより、メモリの耐圧性能を低下させることなく、書込み動作及び消去動作の電圧を低下させ、又は書込み動作及び消去動作を高速にし、さらにメモリ効果を増大することが可能となる。

なお、絶縁膜の厚さ  $T3$  は、製造プロセスによる均一性や膜質が一定の水準を維持することが可能であり、かつ保持特性が極端に劣化しない限界となる  $0.8 \text{ nm}$  以上であることがより好ましい。

(実施の形態 9)

この実施の形態の半導体記憶装置は、図 20 に示すように、実施の形態 3 において、電荷保持膜（シリコン窒化膜 142）とチャネル領域又はウェル領域とを隔てる絶縁膜（シリコン酸化膜 141）の厚さ（ $T3$ ）が、ゲート絶縁膜 114 の厚さ（ $T4$ ）よりも厚いこと以外は、実質的に同様の構成を有する。

ゲート絶縁膜 114 は、素子の短チャネル効果防止の要請から、その厚さ  $T4$  には上限値が存在する。しかし、絶縁膜の厚さ  $T3$  は、短チャネル効果防止の要請にかかわらず、 $T4$  よりも厚くすることが可能である。 $T3$  を厚くすることにより、電荷保持部に蓄積された電荷が散逸するのを防ぎ、メモリの保持特性を改善することが可能となる。

したがって、 $T3 > T4$  とすることにより、メモリの短チャネル効果を悪化させることなく保持特性を改善することが可能となる。

なお、絶縁膜の厚さ  $T3$  は、書換え速度の低下を考慮して、 $20 \text{ nm}$  以下であることが好ましい。

## 請求の範囲

1. 半導体基板 (1, 111, 187) と、

上記半導体基板 (1, 111, 187) 上に形成されたゲート絶縁膜 (12, 114) と、

上記ゲート絶縁膜 (12, 114) 上に形成された単一のゲート電極 (13, 117) と、

上記単一のゲート電極 (13, 117) 側壁の両側に形成された2つの電荷保持部 (61, 62, 161, 162, 162a) と、

上記2つの電荷保持部 (61, 62, 161, 162, 162a) のそれぞれに対応する2つの拡散層領域 (17, 18, 112, 113) と、

上記単一のゲート電極 (13, 117) 下に配置されたチャネル領域とを備え、

上記電荷保持部 (61, 62, 161, 162, 162a) は、電荷を蓄積する機能を有する第1の絶縁体 (15, 142, 142a) からなる膜が、第2の絶縁体 (14, 141, 141a) と第3の絶縁体 (16, 143) とに挟まれた構造を有し、

上記電荷保持部 (61, 62, 161, 162, 162a) は、上記第1の絶縁体 (15, 142, 142a) に保持された電荷の多寡により、上記ゲート電極 (13, 117) に電圧を印加した際の上記一方の拡散層領域 (17, 18, 112, 113) から他方の拡散層領域 (17, 18, 112, 113) に流れる電流量を変化させるように構成されてなることを特徴とする半導体記憶装置。

2. 請求項1に記載の半導体記憶装置において、

上記第1の絶縁体 (15, 142, 142a) における真空準位と伝導電子帯の最低準位とのエネルギー差を  $\chi_1$  とし、

上記第2の絶縁体 (14, 141, 141a) における真空準位と伝導電子帯の最低準位とのエネルギー差を  $\chi_2$  とし、

上記第3の絶縁体 (16, 143) における真空準位と伝導電子帯の最低準位とのエネルギー差を  $\chi_3$  とするとき、

$x_1 > x_2$  かつ  $x_1 > x_3$ であることを特徴とする半導体記憶装置。

3. 請求項1に記載の半導体記憶装置において、

上記第1の絶縁体(15, 142, 142a)における真空準位と価電子帯の  
5 最高準位とのエネルギー差を $\phi_1$ とし、

上記第2の絶縁体(14, 141, 141a)における真空準位と価電子帯の  
最高準位とのエネルギー差を $\phi_2$ とし、

上記第3の絶縁体(16, 143)における真空準位と価電子帯の最高準位と  
のエネルギー差を $\phi_3$ とするとき、

10  $\phi_1 < \phi_2$  かつ  $\phi_1 < \phi_3$ であることを特徴とする半導体記憶装置。

4. 請求項1に記載の半導体記憶装置において、

上記第1の絶縁体(15, 142, 142a)における真空準位と伝導電子帯  
の最低準位とのエネルギー差を $x_1$ とし、

15 上記第2の絶縁体(14, 141, 141a)における真空準位と伝導電子帯  
の最低準位とのエネルギー差を $x_2$ とし、

上記第3の絶縁体(16, 143)における真空準位と伝導電子帯の最低準位と  
のエネルギー差を $x_3$ とし、

上記第1の絶縁体(15, 142, 142a)における真空準位と価電子帯の  
20 最高準位とのエネルギー差を $\phi_1$ とし、

上記第2の絶縁体(14, 141, 141a)における真空準位と価電子帯の  
最高準位とのエネルギー差を $\phi_2$ とし、

上記第3の絶縁体(16, 143)における真空準位と価電子帯の最高準位と  
のエネルギー差を $\phi_3$ とするとき、

25  $x_1 > x_2$ 、 $x_1 > x_3$ 、 $\phi_1 < \phi_2$ 、 $\phi_1 < \phi_3$ のいずれをも満たすことを  
特徴とする半導体記憶装置。

5. 請求項1に記載の半導体記憶装置において、

上記第1の絶縁体(15, 142, 142a)とはシリコン窒化物であり、

上記第2及び第3の絶縁膜(14, 16, 141, 141a, 143)とはシリコン酸化物であることを特徴とする半導体記憶装置。

6. 請求項5に記載の半導体記憶装置において、

5 シリコン酸化物である上記第2の絶縁体(14, 141, 141a)は膜状であって、上記半導体基板(1, 111, 187)と上記第1の絶縁体(15, 142, 142a)とを隔てており、

10 上記半導体基板(1, 111, 187)上における上記第2の絶縁体(14, 141, 141a)からなる膜の厚さは、1.5nm以上であって15nm以下であることを特徴とする半導体記憶装置。

7. 請求項5に記載の半導体記憶装置において、

15 シリコン窒化物である上記第1の絶縁体(15, 142, 142a)からなる膜の厚さは、上記半導体基板(1, 111, 187)上において、2nm以上であって15nm以下であることを特徴とする半導体記憶装置。

8. 請求項1に記載の半導体記憶装置において、

20 上記第2の絶縁体(14, 141, 141a)は膜状であって、上記半導体基板(1, 111, 187)及び上記ゲート電極(13, 117)の側壁と、上記第1の絶縁体(15, 142, 142a)とを隔てており、

上記ゲート電極(13, 117)の側壁近傍における上記第2の絶縁体(14, 141, 141a)からなる膜の厚さは、上記半導体基板(1, 111, 187)上における上記第2の絶縁体(14, 141, 141a)からなる膜の厚さよりも厚いことを特徴とする半導体記憶装置。

25

9. 請求項5に記載の半導体記憶装置において、

上記半導体基板(1, 111, 187)上における上記第2の絶縁体(14, 141, 141a)からなる膜の厚さが、上記ゲート絶縁膜(12, 114)の厚さよりも薄く、かつ0.8nm以上であることを特徴とする半導体記憶装置。

10. 請求項5に記載の半導体記憶装置において、

上記半導体基板（1， 111， 187）上における上記第2の絶縁体（14，  
141， 141a）からなる膜の厚さが、上記ゲート絶縁膜（12， 114）の  
5 厚さよりも厚く、かつ20nm以下であることを特徴とする半導体記憶装置。

11. 請求項1に記載の半導体記憶装置において、

上記電荷を蓄積する機能を有する第1の絶縁体（15， 142， 142a）から  
なる膜の少なくとも一部が上記拡散層領域（17， 18， 112， 113）の一  
10 部にオーバーラップするように形成されてなることを特徴とする半導体記憶装置。

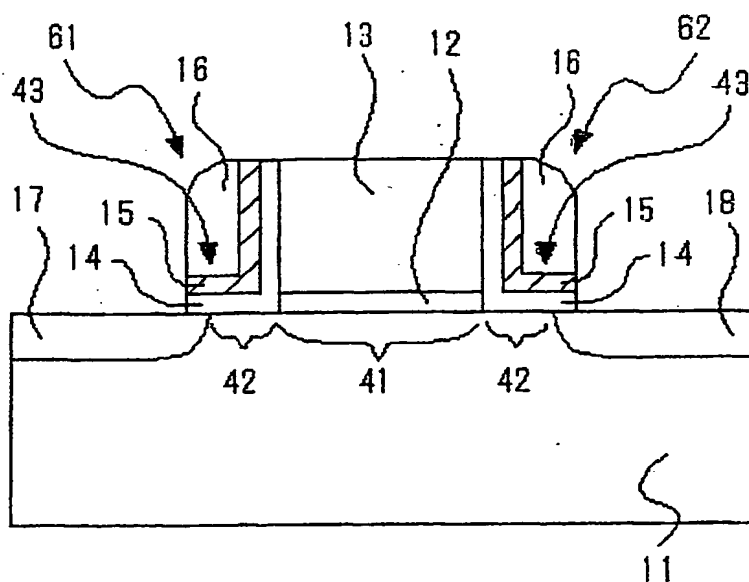
12. 請求項1に記載の半導体記憶装置において、

上記電荷を蓄積する機能を有する第1の絶縁体（15， 142， 142a）か  
らなる膜が、ゲート絶縁膜（12， 114）の表面と略平行な表面を有する部分  
15 を含むことを特徴とする半導体記憶装置。

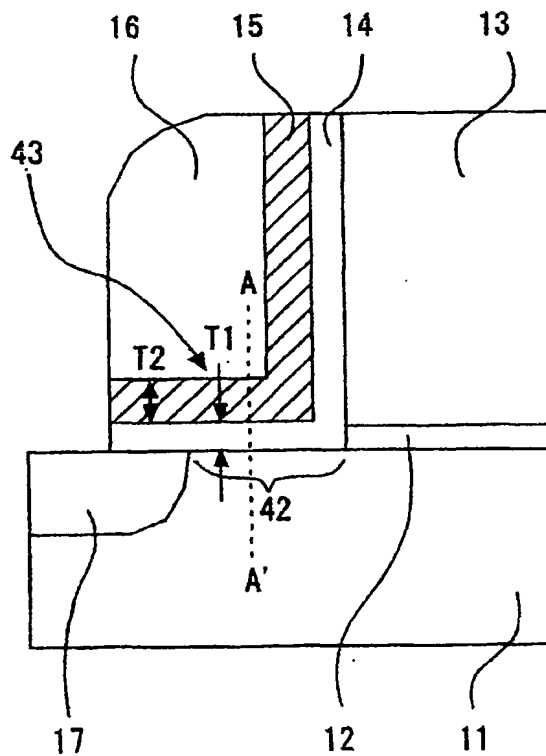
13. 請求項12に記載の半導体記憶装置において、

上記電荷を蓄積する機能を有する第1の絶縁体（15， 142， 142a）か  
らなる膜が、ゲート電極（13， 117）側面と略並行に延びた部分を含むこと  
20 を特徴とする半導体記憶装置。

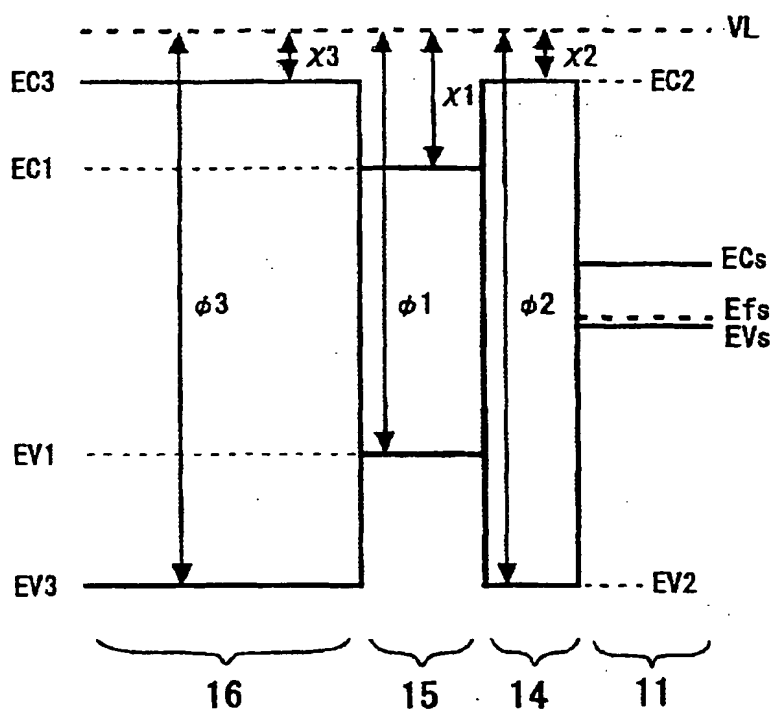
*Fig. 1*



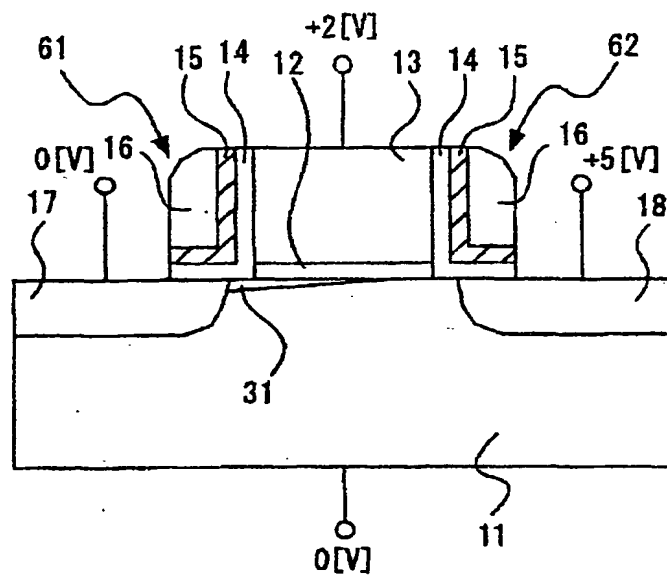
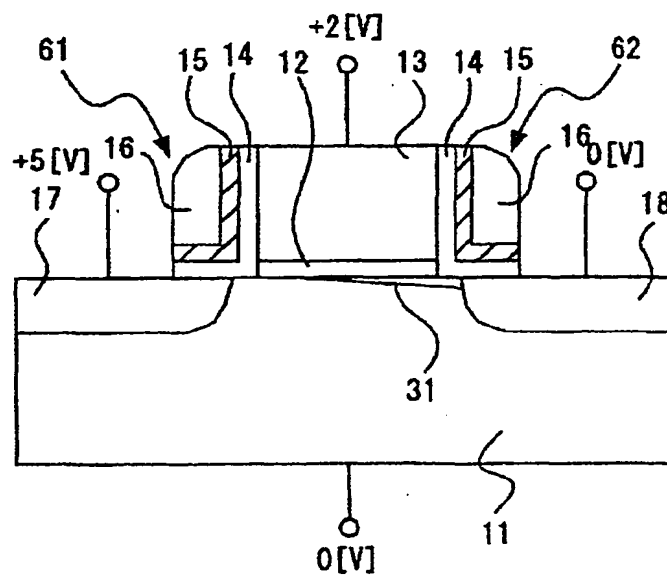
*Fig. 2*





*Fig. 3*

3 / 1 3

*Fig. 4 A**Fig. 4 B*

4 / 13

Fig. 5

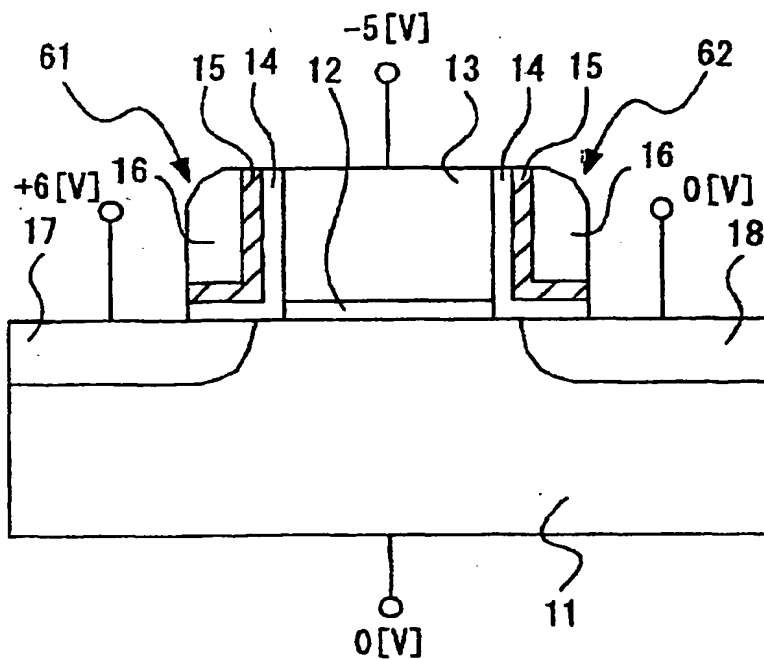
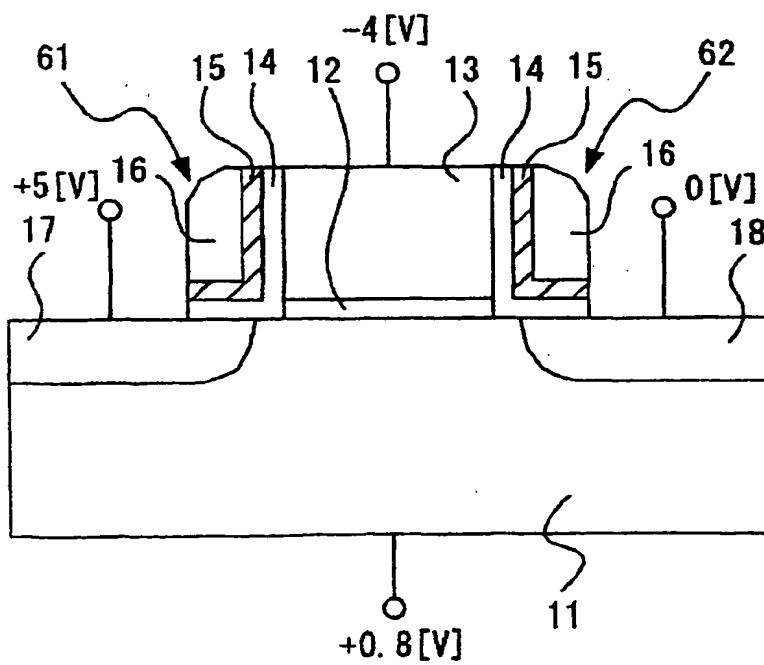


Fig. 6



5 / 13

Fig. 7 A

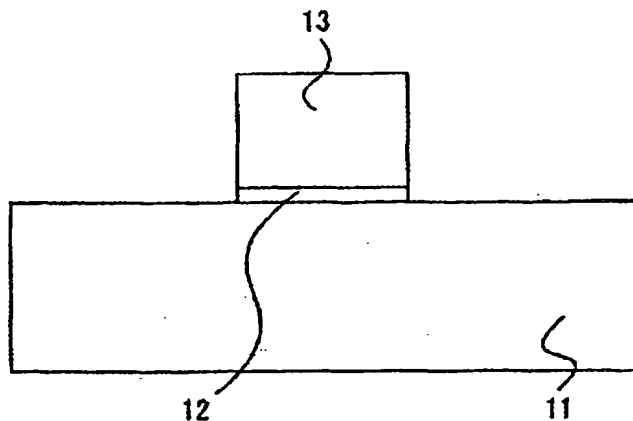


Fig. 7 B

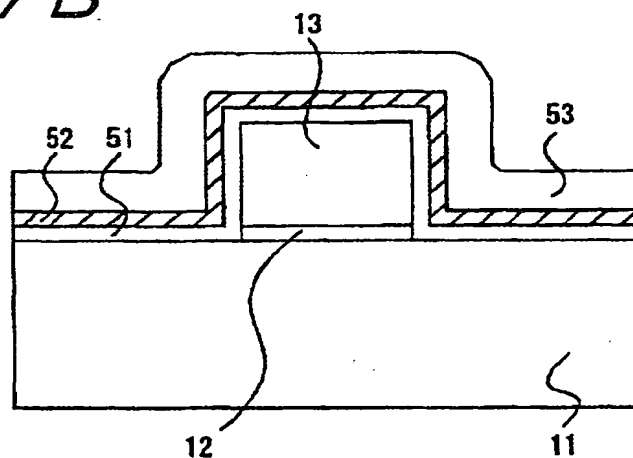
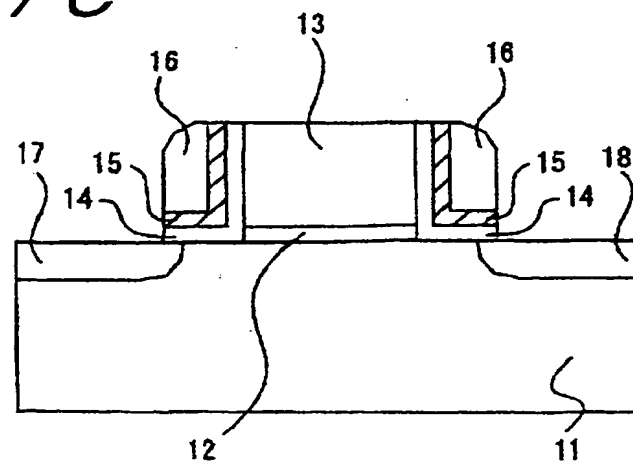
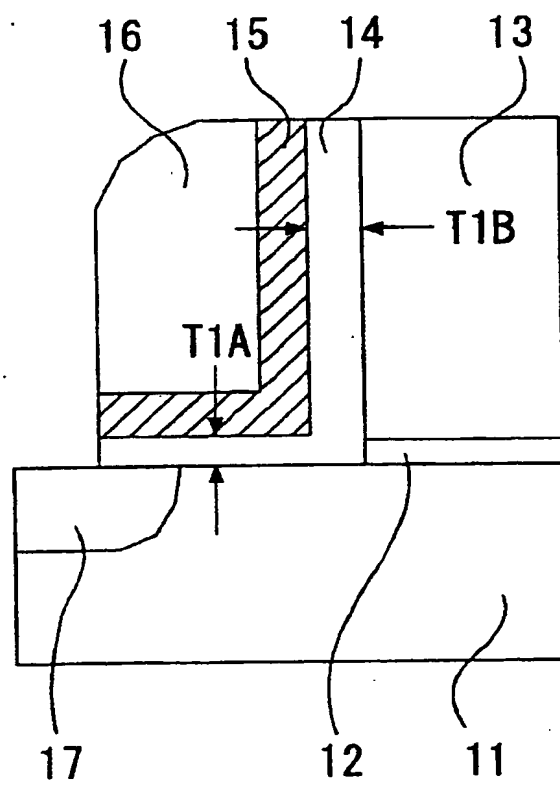


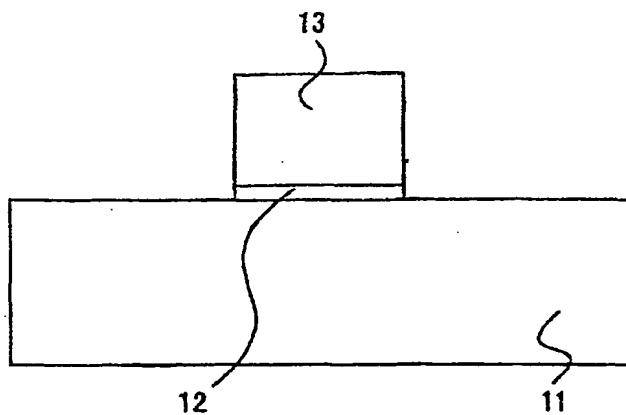
Fig. 7 C



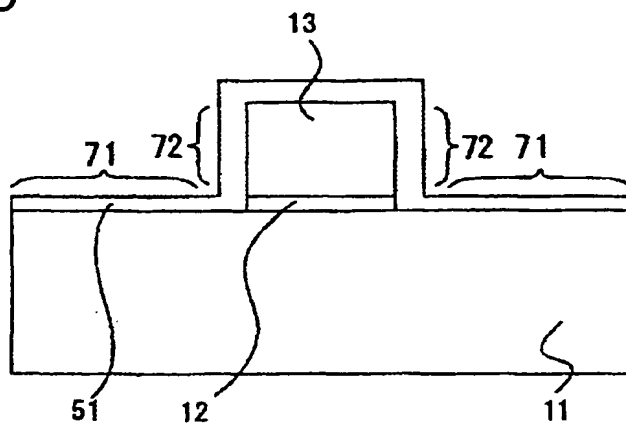
*Fig. 8*



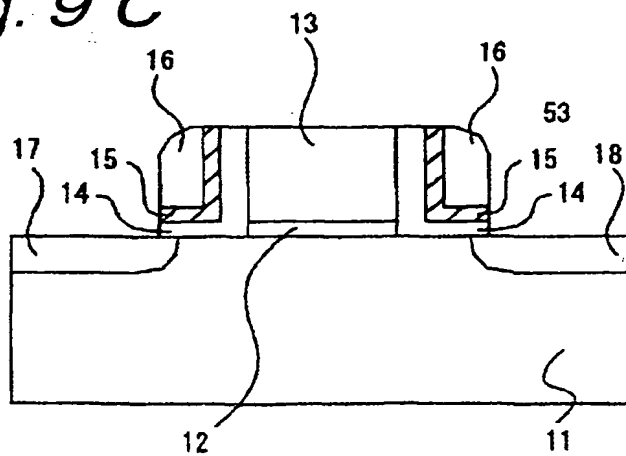
*Fig. 9 A*



*Fig. 9 B*



*Fig. 9 C*



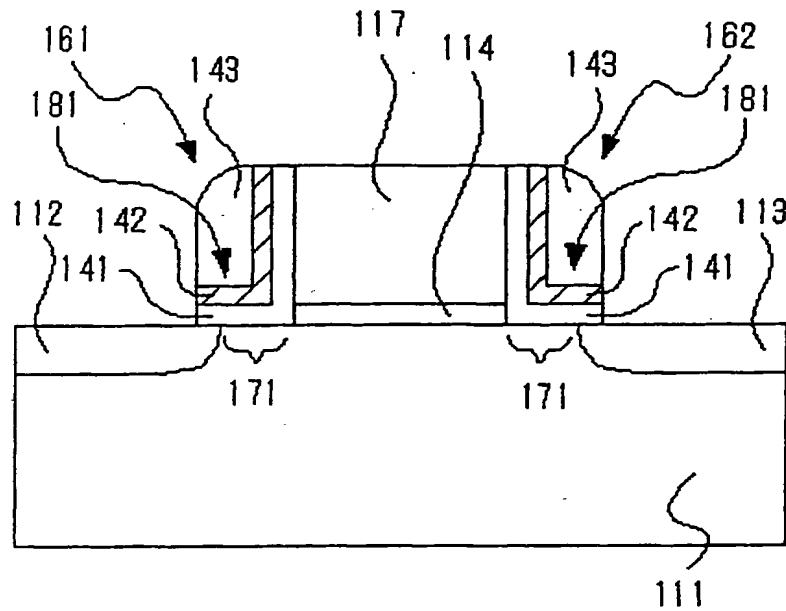
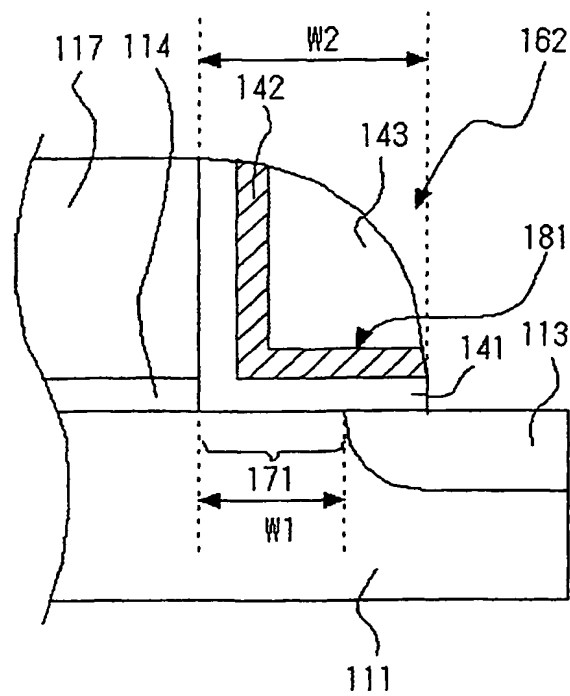
*Fig. 1 0**Fig. 1 1*

Fig. 1 2

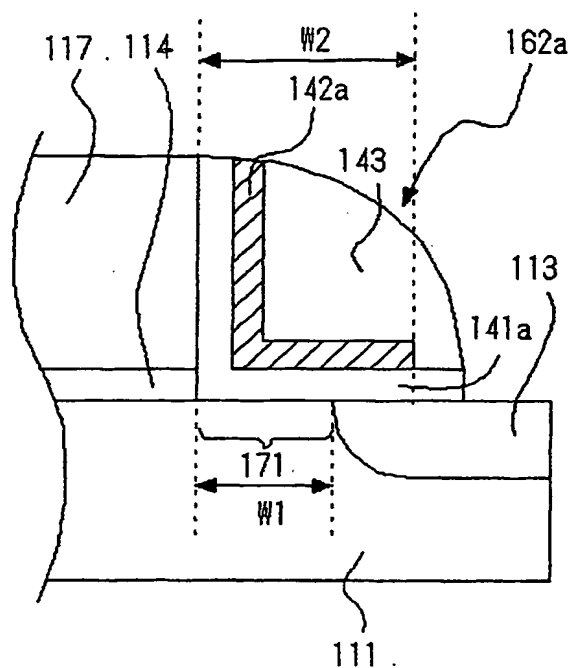
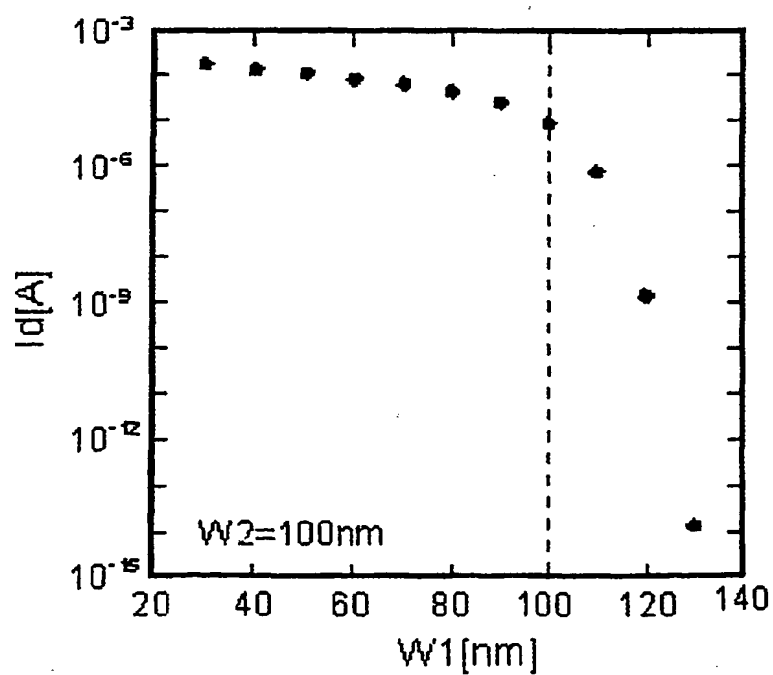
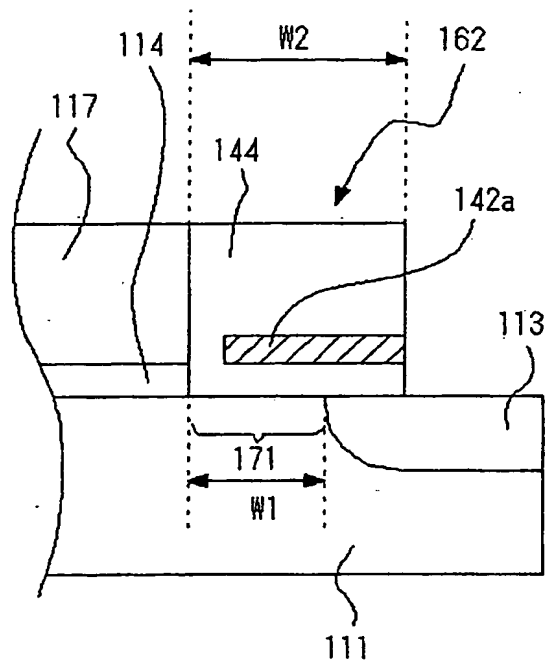


Fig. 1 3

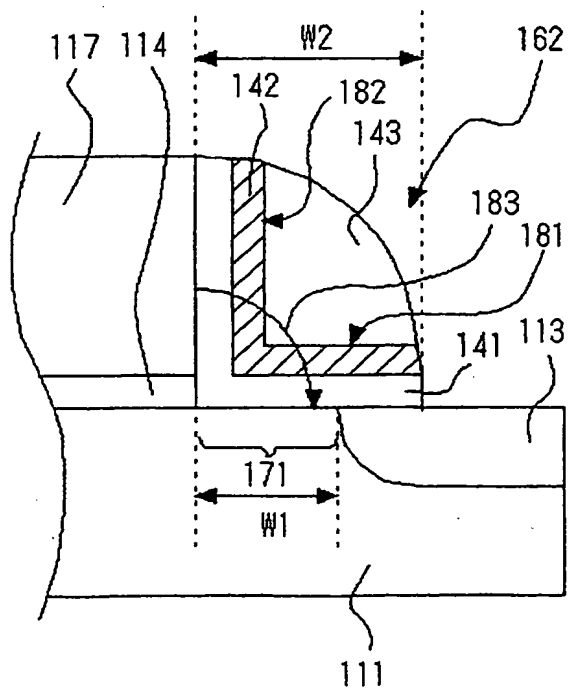




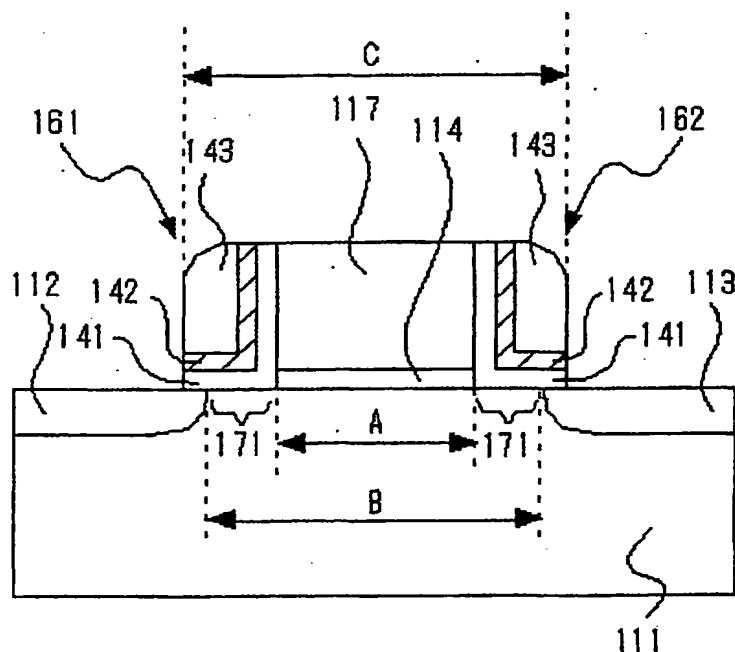
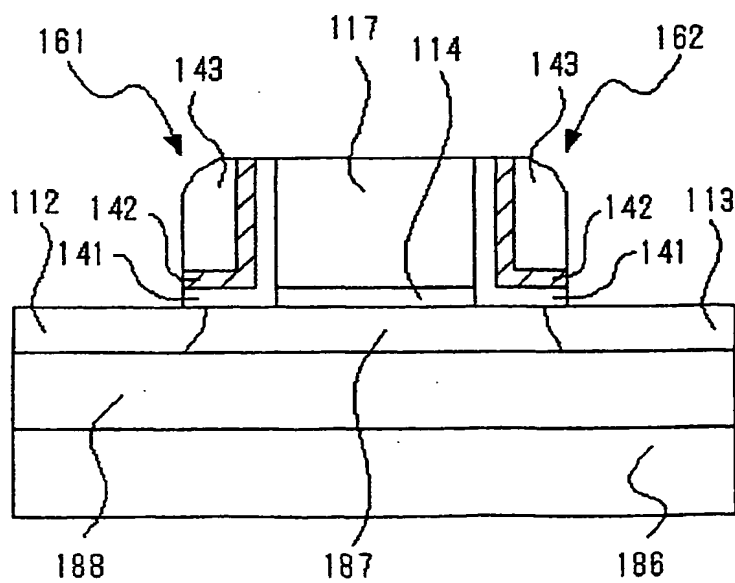
*Fig. 14*



*Fig. 15*



11/13

*Fig. 1 6**Fig. 1 7*

12 / 13

Fig. 18

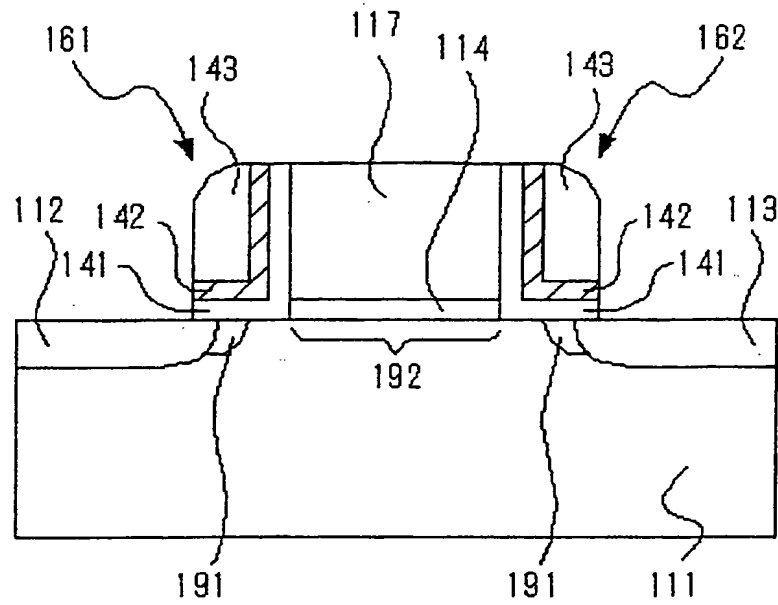
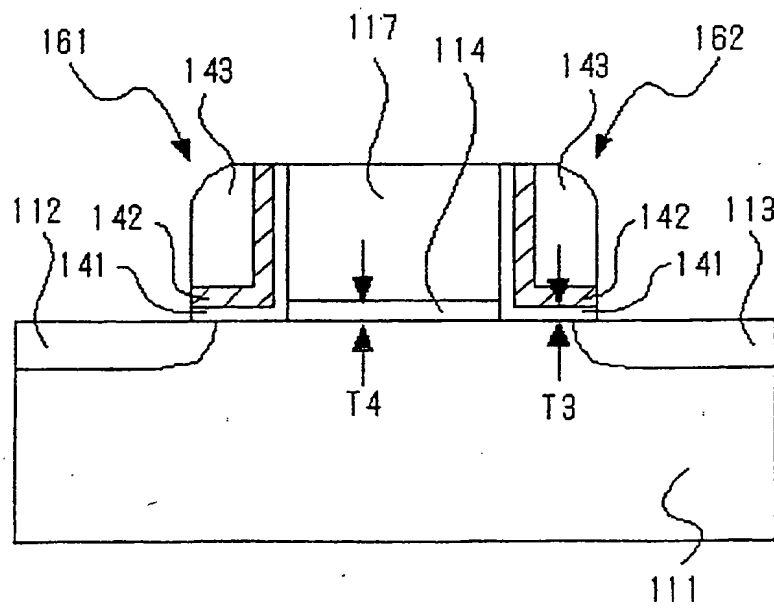


Fig. 19





## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/02421

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> H01L29/792

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L21/8247, 29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	US 6335554 B1 (KABUSHIKI KAISHA TOSHIBA), 01 January, 2002 (01.01.02), Columns 6 to 8; Figs. 1 to 3 & JP 2001-156188 A Pages 5 to 7; Figs. 1 to 9	1-9, 11-13 10
X	JP 63-204770 A (Oki Electric Industry Co., Ltd.), 24 August, 1988 (24.08.88), All pages (Family: none)	1-8, 11
X	US 4881108 A (KABUSHIKI KAISHA TOSHIBA), 14 November, 1989 (14.11.89), Full text; Figs. 1 to 6 & JP 63-237580 A Full text; Figs. 1 to 6	1-9, 11-13

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
13 May, 2003 (13.05.03)Date of mailing of the international search report  
27 May, 2003 (27.05.03)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/02421

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5838041 A (KABUSHIKI KAISHA TOSHIBA), 17 November, 1998 (17.11.98), Full text; Figs. 1 to 17 & JP 9-97849 A Full text; Figs. 1 to 17	1-8, 11-13
Y	US 6329247 B1 (NEC CORP.), 11 December, 2001 (11.12.01), Full text; all drawings & JP 2001-44395 A Full text; all drawings	10
Y	US 6316317 B1 (NEC CORP.), 13 November, 2001 (13.11.01), Full text; all drawings & JP 2000-269361 A Full text; all drawings	10
P, X	JP 2002-164446 A (Sony Corp.), 07 June, 2002 (07.06.02), Pages 13 to 17; Figs. 1 to 7 (Family: none)	1-13

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl <sup>7</sup> H01L29/792		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl <sup>7</sup> H01L21/8247, 29/792		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2003年 日本国実用新案登録公報 1996-2003年 日本国登録実用新案公報 1994-2003年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	US 6335554 B1 (KABUSHIKI KAISHA TOSHIBA) 2002. 01. 01, 第6-8欄, 第1-3図 & JP 2001-156188 A, 第5-7頁, 第1-9図	1-9, 11-13 10
Y		
X	JP 63-204770 A (沖電気工業株式会社) 1988. 08. 24, 全頁 (ファミリーなし)	1-8, 11
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 13. 05. 03	国際調査報告の発送日 27.05.03	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 井原 純	4M 3238
	電話番号 03-3581-1101 内線 3462	

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	US 4881108 A (KABUSHIKI KAISHA TOSHIBA) 1989. 11. 14, 全文, 第1-6図 & JP 63-237580 A, 全文, 第1-6図	1-9, 11-13
X	US 5838041 A (KABUSHIKI KAISHA TOSHIBA) 1998. 11. 17, 全文, 第1-17図 & JP 9-97849 A, 全文, 第1-17図	1-8, 11-13
Y	US 6329247 B1 (NEC CORPORATIO N) 2001. 12. 11, 全文, 全図 & JP 2001- 44395 A, 全文, 全図	10
Y	US 6316317 B1 (NEC CORPORATIO N) 2001. 11. 13, 全文, 全図 & JP 2000- 269361 A, 全文, 全図	10
PX	JP 2002-164446 A (ソニー株式会社) 200 2. 06. 07, 第13-17頁, 第1-7図 (ファミリーなし)	1-13



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**